

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-15382

(43) 公開日 平成8年(1996)1月19日

(51) Int.Cl.⁸
G 0 1 R 31/28

識別記号 庁内整理番号

F I

技術表示箇所

G 0 1 R 31/28

V

G

審査請求 未請求 請求項の数11 O L (全 16 頁)

(21) 出願番号 特願平6-151976

(22) 出願日 平成6年(1994)7月4日

(71) 出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中1015番地

(72) 発明者 平出 貴久

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(72) 発明者 多田 敏彦

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(74) 代理人 弁理士 真田 有

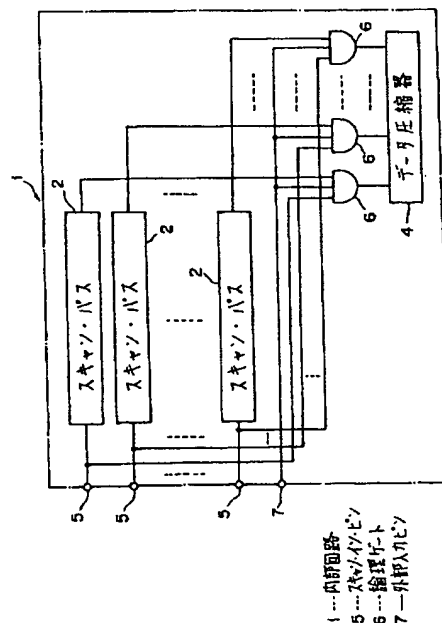
(54) 【発明の名称】 自己試験機能組込み型回路

(57) 【要約】

【目的】 本発明は、BISTタイプのLSI、プリント回路基板等の回路に関し、データ圧縮器への不定値の取込みや初期化中のデータ圧縮器の内容の破壊を防止するほか、自己試験の効率化や、LSI等の回路設計時の計算機資源および設計工数の削減をはかることを目的とする。

【構成】 各スキャン・パス2へデータを与えうるスキャン・イン・ピン5と、各スキャン・パス2からの出力データと各スキャン・パス2に対応するスキャン・イン・ピン5からの入力データとの論理演算を行なう論理ゲート6とをそなえ、スキャン・パス2上の不定状態のデータが論理ゲート6を介してデータ圧縮器4へ読み出される際には、そのスキャン・パス2に対応するスキャン・イン・ピン5から論理ゲート6への入力データを、その不定状態のデータを論理ゲート6においてマスクする値に設定するように構成する。

第1の発明の原理ブロック図



【特許請求の範囲】

【請求項 1】 所定機能を果たす内部回路をそなえるとともに、

該内部回路を自己試験すべく、該内部回路上に予め形成されている複数のスキャン・バスそれぞれからの出力データを圧縮して格納するデータ圧縮器を組み込んだ自己試験機能組込み型回路であって、

各スキャン・バスへデータを与えうるスキャン・イン・ピンをスキャン・バス毎にそなえるとともに、

各スキャン・バスからの出力データと、各スキャン・バスに対応する該スキャン・イン・ピンからの入力データとの論理演算を行なう論理ゲートをスキャン・バス毎にそなえ、

スキャン・バス上の不定状態のデータが該論理ゲートを介して該データ圧縮器へ読み出される際には、当該スキャン・バスに対応するスキャン・イン・ピンから該論理ゲートへの入力データが、当該不定状態のデータを該論理ゲートにおいてマスクする値に設定されることを特徴とする、自己試験機能組込み型回路。

【請求項 2】 各スキャン・バスからのデータ読出に際して、各スキャン・イン・ピンからの入力データを含むデータ読出パターンが、同形のパターンで連続する場合には、そのパターンと連続数とを用いて記述されることを特徴とする、請求項 1 記載の自己試験機能組込み型回路。

【請求項 3】 該スキャン・バスに対するスキャン動作と該データ圧縮器を用いた自己試験動作との切換を行なうべく切換信号を入力する外部入力ピンをそなえるとともに、該外部入力ピンからの切換信号を該論理ゲートに与え、

該内部回路の初期化中、該外部入力ピンからの切換信号をスキャン動作側に切り換えることにより、各スキャン・バスから該データ圧縮器への出力データを該論理ゲートにおいてマスクすることを特徴とする、請求項 1 または請求項 2 に記載の自己試験機能組込み型回路。

【請求項 4】 該内部回路の初期化中に該データ圧縮器へのクロック信号の入力を禁止する禁止手段をそなえたことを特徴とする、請求項 1 または請求項 2 に記載の自己試験機能組込み型回路。

【請求項 5】 所定機能を果たす内部回路をそなえるとともに、

該内部回路を自己試験すべく、該内部回路上に予め形成されている複数のスキャン・バスのそれぞれに与えるテスト・パターンを発生するパターン発生器を組み込んだ自己試験機能組込み型回路であって、

各スキャン・バスに対するスキャン動作と該パターン発生器を用いた自己試験動作との切換を行なうべく切換信号を入力する外部入力ピンをそなえるとともに、

各スキャン・バスへデータを与えうるスキャン・イン・ピンと、

該外部入力ピンからの切換信号に応じて、各スキャン・イン・ピンからの入力データと、該パターン発生器からのテスト・パターンとのいずれか一方を切り換えて各スキャン・バスへ出力するセレクトとをスキャン・バス毎にそなえ、

通常の自己試験動作時には、該外部入力ピンからの切換信号により該セレクトを該パターン発生器側に切り換え、

該パターン発生器から各スキャン・バスへ与えられるテスト・パターンの一部を任意の値に修正する際には、該外部入力ピンからの切換信号により該セレクトを該スキャン・イン・ピン側に切り換え、該スキャン・イン・ピンから任意の値に設定したデータを各スキャン・バスへ与えて書き込むことを特徴とする、自己試験機能組込み型回路。

【請求項 6】 各スキャン・バスへのデータ書込に際して、各スキャン・イン・ピンからの入力データおよび該外部入力ピンへの切換信号を含むデータ書込パターンが、同形のパターンで連続する場合には、そのパターンと連続数とを用いて記述されることを特徴とする、請求項 5 記載の自己試験機能組込み型回路。

【請求項 7】 所定機能を果たす内部回路をそなえるとともに、

該内部回路を自己試験すべく、該内部回路上に予め形成されている複数のスキャン・バスのそれぞれに与えるテスト・パターンを発生するパターン発生器と、該内部回路上に予め形成されている複数のスキャン・バスそれぞれからの出力データを圧縮して格納するデータ圧縮器とを組み込んだ自己試験機能組込み型回路であって、

各スキャン・バスに対するスキャン動作と該パターン発生器および該データ圧縮器を用いた自己試験動作との切換を行なうべく切換信号を入力する外部入力ピンをそなえるとともに、

各スキャン・バスへデータを与えうるスキャン・イン・ピンと、

各スキャン・バスからの出力データと、各スキャン・バスに対応する該スキャン・イン・ピンからの入力データと、該外部入力ピンからの切換信号との論理演算を行なう論理ゲートと、

該外部入力ピンからの切換信号に応じて、各スキャン・イン・ピンからの入力データと、該パターン発生器からのテスト・パターンとのいずれか一方を切り換えて各スキャン・バスへ出力するセレクトとをスキャン・バス毎にそなえ、

通常の自己試験動作時には、該外部入力ピンからの切換信号により該セレクトを該パターン発生器側に切り換え、

該パターン発生器から各スキャン・バスへ与えられるテスト・パターンの一部を任意の値に修正する際には、該外部入力ピンからの切換信号により該セレクトを該スキ

キャン・イン・ピン側に切り換え、該スキャン・イン・ピンから任意の値に設定したデータを各スキャン・バスへ与えて書き込む一方、

スキャン・バス上の不定状態のデータが該論理ゲートを介して該データ圧縮器へ読み出される際には、当該スキャン・バスに対応するスキャン・イン・ピンから該論理ゲートへの入力データが、当該不定状態のデータを該論理ゲートにおいてマスクする値に設定され、

該内部回路の初期化中、該外部入力ピンからの切換信号をスキャン動作側に切り換えることにより、各スキャン・バスから該データ圧縮器への出力データを該論理ゲートにおいてマスクすることを特徴とする、自己試験機能組込み型回路。

【請求項 8】 各スキャン・バスからのデータ読出に際して、各スキャン・イン・ピンからの入力データを含むデータ読出パターンが、同形のパターンで連続する場合には、そのパターンと連続数とを用いて記述されることを特徴とする、請求項 7 記載の自己試験機能組込み型回路。

【請求項 9】 各スキャン・バスへのデータ書込に際して、各スキャン・イン・ピンからの入力データおよび該外部入力ピンへの切換信号を含むデータ書込パターンが、同形のパターンで連続する場合には、そのパターンと連続数とを用いて記述されることを特徴とする、請求項 7 または請求項 8 に記載の自己試験機能組込み型回路。

【請求項 10】 該内部回路の初期化中に該データ圧縮器へのクロック信号の入力を禁止する禁止手段をそなえたことを特徴とする、請求項 7～9 のいずれかに記載の自己試験機能組込み型回路。

【請求項 11】 該パターン発生器および該データ圧縮器からなるスキャン・チェーンをバウンダリ・スキャン内の 1 チェーンとして構成し、当該スキャン・チェーンのシフト・イン/シフト・アウト動作および自己試験動作をそれぞれ指示するための命令コードが、命令レジスタの動作コードとして予め割り当てられていることを特徴とする、請求項 7～10 のいずれかに記載の自己試験機能組込み型回路。

【発明の詳細な説明】

【0001】 (目次)

産業上の利用分野

従来の技術 (図 17、図 18)

発明が解決しようとする課題

課題を解決するための手段 (図 1～図 3)

作用 (図 1～図 3)

実施例 (図 4～図 16)

発明の効果

【0002】

【産業上の利用分野】 本発明は、自己試験機能を予め組み込まれた LSI、プリント回路基板等の自己試験機能

組込み型回路に関する。

【0003】

【従来の技術】 一般に、LSI 等の回路の製造不良を検出するためには、被テスト回路にテスト・パターンを印加し、その出力を期待値 (正常動作の出力: 論理/故障シミュレーションの結果) と比較するのが一般的であるが、LSI については、近年、その大規模化に伴いテスト・パターンの作成が困難となり、テスト・パターンの作成時間が LSI 設計時間の大きな割合を占めるようになっていく。

【0004】 例えば、図 17 は、複数 (図中 3 本) のスキャンバスを有する一般的なスキャン回路 (LSI) を示すもので、この図 17 において、100 はスキャン回路、101 は所定機能を果たす内部回路を構成すべくスキャン回路 100 上に配置される回路構成要素で例えばフリップ・フロップ (FF) である。また、102A～102C はスキャン・バスで、各スキャン・バス 102A～102C は、スキャン回路 100 上に予め複数 (図中 3 本) 形成され、複数のフリップ・フロップ 101 をチェーン状に接続するものである。

【0005】 そして、スキャン回路 100 には、各スキャン・バス 102A～102C へテスト用のデータ (テスト・パターン) を与えるためのスキャン・イン・ピン (SI ピン) 103A～103C と、各スキャン・バス 102A～102C からの出力データを取り出すためのスキャン・アウト・ピン (SO ピン) 104A～104C と、スキャン回路 100 を動作させるためのクロック信号を入力するスキャン・クロック・ピン (SCK ピン) 105 とが外部入力ピンとして設けられている。

【0006】 各スキャン・バス 102A～102C の両端は、それぞれ、SI ピン 103A～103C、および、SO ピン 104A～104C に接続されている。また、SCK ピン 105 から入力されるクロック信号は、スキャン回路 100 上の全てのフリップ・フロップ 101 のクロック端子に入力されるようになっていく。スキャン動作時には、各スキャン・バス 102A～102C 上のフリップ・フロップ 101 はシフトレジスタとして動作し、SCK ピン 105 からクロック信号を与えることにより、各 SI ピン 103A～103C に与えられた値が、順次、各スキャン・バス 102A～102C 上の次のフリップ・フロップ 101 へシフト・インされていく。また同時に、各 SO ピン 104A～104C には、各スキャン・バス 102A～102C 上のフリップ・フロップ 101 の値が、順次、スキャン・アウトされていく。

【0007】 このようにして被テスト回路 (LSI) の外部からテスト・パターンを印加する試験手段に加え、近年、BIST (Built In Self Test) と呼ばれる組込み自己試験が各回路で行なわれるようになっていく。この BIST タイプの回路では、例えば LSI の内部にパタ

ーン発生器〔LFSR (Linear Feedback Shift Register) やカウンタ、ROM格納パターン等〕、データ分析器〔MISR (Multiple-Input Signature Register) やコンパレータ、ROM格納データ等〕およびこれらを制御するための制御回路を組み込む必要がある。

【0008】BISTを用いた試験では、パターン発生器で発生されるテスト・パターンが被テスト回路(LSI)の内部回路に印加され、その出力結果がデータ分析器で検証される。データ分析器としては、MISRが使用される場合が多く、出力結果をシグネチャ (Signature) としてMISRに圧縮して格納するので、データ分析器をデータ圧縮器と呼んでいる。本発明においても、データ分析器としてMISRが使用されることを前提としているので、以後、データ分析器の代わりにデータ圧縮器を用いる。

【0009】図18は、複数(図中3本)のスキャンバスを有する一般的なBISTタイプの回路(LSI)を示すもので、この図18において、110はBISTタイプの回路で、図17に示したものと同様に、その回路110上には、所定機能を果たす内部回路を構成する回路構成要素としてのフリップ・フロップ(FF)101や、複数のフリップ・フロップ101をチェーン状に接続するように予め形成された複数(3本)のスキャン・バス102A~102Cが配置されている。

【0010】また、111は各スキャン・バス102A~102Cに入力するテスト・パターンを発生するLFSR(パターン発生器)、112は各スキャン・バス102A~102Cからの出力データを圧縮して格納するMISR(データ圧縮器)である。ここで、LFSR111およびMISR112は、いずれも排他的論理和ゲートを介したフィードバック付きのシフトレジスタで構成されている(後述の図5~図7参照)。

【0011】なお、各シフトレジスタはSCKピン105からのクロック信号によりシフト動作するようになっている。また、図18中、103はLFSR111に接続されるスキャン・イン・ピン(SIピン)、104はMISR112に接続されるスキャン・アウト・ピン(SOピン)である。さらに、図17に示したスキャン回路100と同様に、各フリップ・フロップ101のクロック端子には、SCKピン105からのクロック信号が入力されるようになっている。

【0012】そして、自己試験動作時には、LFSR111が疑似乱数を発生し、各スキャン・バス102A~102C上のフリップ・フロップ101に与えられ、各スキャン・バス102A~102C上のフリップ・フロップ101はシフトレジスタとして動作し、SCKピン105からクロック信号を与えることにより、各スキャン・バス102A~102Cに与えられた値が、順次、次のフリップ・フロップ101へシフト・インされていく。

【0013】また同時に、各スキャン・バス102A~102C上のフリップ・フロップ101の値が、順次、シフト・アウトされて、MISR112に圧縮されて格納されていく。最後に、MISR112に圧縮・格納されたデータをスキャン・アウト・ピンSOから読み出すことにより、回路(LSI)110の不良判定を行なっている。

【0014】以上のようなBISTタイプの回路110における自己試験動作は、回路110にクロック信号を与えることにより、内部に組み込まれた自己試験回路(LFSR111, MISR112等)で行なわれ、最小限の情報(MISR112に蓄積されたデータ)のみを外部に読み出せばよい。このBISTタイプの回路では、以下のような利点がある。

【0015】①パターン発生器としてLFSRやカウンタを用いた場合、外部から与えるテスト・パターンを作成する必要がないため、LSIの設計工数を削減することができる。

②テスト・パターンは組み込まれたパターン発生器から印加され、データ圧縮器に取り込んだ結果を読み出すことができればよいので、高価なテスト装置を必要としない。

【0016】大規模LSIには、図17に示すようなスキャン設計が常識であるが、近年、上述のような利点が得られることから、図18に示すようなBIST回路を使用するLSIが増えている。

【0017】

【発明が解決しようとする課題】しかしながら、BISTでは、その試験の信頼性を簡単には算定できないという欠点がある。通常、LSIの試験の信頼性は、診断率(%)として〔検出故障数〕/〔総故障数〕×100で算定される。故障検出の判定には被テストLSIのモデルとテスト・パターンとを用いて故障シミュレーションを行なう必要がある。一方、BISTのパターン発生器にはLFSRなどの疑似乱数発生器が使用され、十分な診断率を得るためにはかなりの長大なパターンが必要となる。一般的に故障シミュレーションには非常に時間がかかり、BISTで印加するような長大パターンを評価するには大変な工数が必要となる。

【0018】また、BISTのデータ圧縮器には一般的にMISRが用いられるが、MISRは排他的論理和ゲートを介したフィードバック付きのシフトレジスタで構成されるため(後述の図5参照)、一度でも不定状態のデータが、このようなMISR等のデータ圧縮器に取り込まれると、このMISR内の圧縮された全てのデータ(シフトレジスタ)が不定状態になってしまい、MISRに圧縮されたデータを読み出すことは意味のないことになってしまう。

【0019】一般に、LSIの内部記憶素子は電源投入時には不定状態であるので、BISTを行なう前に必ず

内部記憶素子の状態をリセットしたりスキャンすることにより、不定状態ではない明確な値に設定しなければならない。しかし、内部記憶素子の中には単純な手順では初期化できないものもあり、このようなLSIに対してBISTを適用するには特別な注意が必要となる。

【0020】また、データ圧縮器、特にMISRなどのデータ圧縮器では、クロック信号を1回印加する毎にその内容を更新しており、内部記憶素子の初期化パターン印加中であってもこの更新は行なわれるため、MISRの内容が破壊され、テスト・パターン発生プログラムはMISRの内容をモニタする必要がある、処理が煩雑になる。

【0021】さらに、一般的なテスト・データは、複数の外部入力ピンに印加する値のリストがパターン数分記述される。従って、大規模なLSIに対するテスト・データは非常に膨大なものになる（例えば後述の図9、図13参照）。これに対して、BISTを用いたテスト・データはBISTを動作させるためのクロック信号の印加回数のみが記述されるだけなので（例えば後述の図10、図14参照）、計算機資源の面やテスト装置へのテスト・データのロード時間の面でも非常に有利である。しかし、前述した通り、BISTのみを用いたテスト・データは汎用性に欠け、満足な診断率を得るためには長大なパターンを必要としたり、さらに内部記憶素子を初期化するための付加回路やテスト・パターンが必要になる。

【0022】また、LSI等の被テスト回路上の特定の回路によっては、印加・設定する値を固定したい場合があるが、現状のBISTでは、パターン発生器で発生された疑似乱数が印加されるだけであるので、特定の回路における値を任意に印加・設定することはできず、上述のような値の固定を行なうことは不可能であるなどの課題もある。

【0023】本発明は、このような課題に鑑み創案されたもので、データ圧縮器に不定状態のデータが取り込まれたり初期化中にデータ圧縮器の内容が破壊されたりするのを防止して確実に自己試験を行なえるようにするほか、スキャン動作とBIST動作とを組み合わせることにより、コンパクトで効率的なテスト・データの作成を可能にして、自己試験の効率化や、LSI等の回路設計時の計算機資源および設計工数の削減をはかった自己試験機能組込み型回路を提供することを目的とする。

【0024】

【課題を解決するための手段】図1は第1の発明の原理ブロック図で、この図1において、1は所定機能を果たす内部回路で、この内部回路1を自己試験すべく、内部回路1上には、複数のスキャン・パス2が予め形成されるとともに、各スキャン・パス2からの出力データを圧縮して格納するデータ圧縮器4が組み込まれている。

【0025】また、5は各スキャン・パス2へデータを与えるスキャン・イン・ピン、6はスキャン・パス2毎にそなえられた論理ゲート6で、各論理ゲート6は、各スキャン・パス2からの出力データと、各スキャン・パス2に対応するスキャン・イン・ピン5からの入力データとの論理演算を行なうものである。そして、第1の発明では、スキャン・パス2上の不定状態のデータが論理ゲート6を介してデータ圧縮器4へ読み出される際には、そのスキャン・パス2に対応するスキャン・イン・ピン5から論理ゲート6への入力データが、その不定状態のデータを論理ゲート6においてマスクする値に設定される（請求項1）。

【0026】なお、各スキャン・パス2からのデータ読出しに際して、各スキャン・イン・ピン5からの入力データを含むデータ読出パターンを、同形のパターンで連続する場合には、そのパターンと連続数とを用いて記述してもよい（請求項2）。また、スキャン・パス2に対するスキャン動作とデータ圧縮器4を用いた自己試験動作との切換を行なうべく切換信号を入力する外部入力ピン7をそなえ、この外部入力ピン7からの切換信号を論理ゲート6に与え、内部回路1の初期化中、外部入力ピン7からの切換信号をスキャン動作側に切り換えることにより、各スキャン・パス2からデータ圧縮器4への出力データを論理ゲート6においてマスクしてもよい（請求項3）、内部回路1の初期化中にデータ圧縮器4へのクロック信号の入力を禁止する禁止手段をそなえてもよい（請求項4）。

【0027】図2は第2の発明の原理ブロック図で、この図2において、前述と同様、1は内部回路、2はスキャン・パスであり、3は内部回路1上に組み込まれたパターン発生器で、このパターン発生器3は、各スキャン・パス2に与えるテスト・パターンを発生するものである。また、各スキャン・パス2に対するスキャン動作とパターン発生器3を用いた自己試験動作との切換を行なうべく切換信号を入力する外部入力ピン7がそなえられるほか、各スキャン・パス2毎に、スキャン・イン・ピン5およびセクタ8がそなえられている。

【0028】ここで、スキャン・イン・ピン5は、各スキャン・パス2へデータを与えるものであり、セクタ8は、外部入力ピン7からの切換信号に応じて、各スキャン・イン・ピン5からの入力データと、パターン発生器3からのテスト・パターンとのいずれか一方を切り換えて各スキャン・パス2へ出力するものである。そして、第2の発明では、通常の自己試験動作時には、外部入力ピン7からの切換信号によりセクタ8をパターン発生器3側に切り換え、パターン発生器3から各スキャン・パス2へ与えられるテスト・パターンの一部を任意の値に修正する際には、外部入力ピン7からの切換信号によりセクタ8をスキャン・イン・ピン5側に切り換え、スキャン・イン・ピン5から任意の値に設定したデ

ータを各スキャン・パス 2 へ与えて書き込む（請求項 5）。

【0029】なお、各スキャン・パス 2 へのデータ書込に際して、各スキャン・イン・ピン 5 からの入力データおよび外部入力ピン 7 への切換信号を含むデータ書込パターンを、同形のパターンで連続する場合には、そのパターンと連続数とを用いて記述してもよい（請求項 6）。図 3 は第 3 の発明の原理ブロック図で、この図 3 に示すように、この第 3 の発明は前述した第 1 の発明と第 2 の発明とを組み合わせたものになっている。つまり、前述と同様、1 は内部回路、2 はスキャン・パス、3 はパターン発生器、4 はデータ圧縮器、5 はスキャン・イン・ピン、6 は論理ゲート、7 は外部入力ピン、8 はセレクトアである。

【0030】そして、通常の自己試験動作時には、外部入力ピン 7 からの切換信号によりセレクトア 8 をパターン発生器 3 側に切り換える。また、パターン発生器 3 から各スキャン・パス 2 へ与えられるテスト・パターンの一部を任意の値に修正する際には、外部入力ピン 7 からの切換信号によりセレクトア 8 をスキャン・イン・ピン 5 側に切り換え、スキャン・イン・ピン 5 から任意の値に設定したデータを各スキャン・パス 2 へ与えて書き込む。

【0031】一方、スキャン・パス 2 上の不定状態のデータが論理ゲート 6 を介してデータ圧縮器 4 へ読み出される際には、そのスキャン・パス 2 に対応するスキャン・イン・ピン 5 から論理ゲート 6 への入力データが、その不定状態のデータを論理ゲート 6 においてマスクする値に設定される。さらに、内部回路 1 の初期化中、外部入力ピン 7 からの切換信号をスキャン動作側に切り換えることにより、各スキャン・パス 2 からデータ圧縮器 4 への出力データを論理ゲート 6 においてマスクする（請求項 7）。

【0032】なお、各スキャン・パス 2 からのデータ読出に際して、各スキャン・イン・ピン 5 からの入力データを含むデータ読出パターンを、同形のパターンで連続する場合には、そのパターンと連続数とを用いて記述してもよい（請求項 8）、各スキャン・パス 2 へのデータ書込に際して、各スキャン・イン・ピン 5 からの入力データおよび外部入力ピン 7 への切換信号を含むデータ書込パターンが、同形のパターンで連続する場合には、そのパターンと連続数とを用いて記述してもよい（請求項 9）。

【0033】また、内部回路 1 の初期化中にデータ圧縮器 4 へのクロック信号の入力を禁止する禁止手段をそなえてもよい（請求項 10）。さらに、パターン発生器 3 およびデータ圧縮器 4 からなるスキャン・チェーンをバウンダリ・スキャン内の 1 チェーンとして構成し、そのスキャン・チェーンのシフト・イン/シフト・アウト動作および自己試験動作をそれぞれ指示するための命令コードを、命令レジスタの動作コードとして予め割り当て

るように構成することもできる（請求項 11）。

【0034】

【作用】上述した第 1 の発明の自己試験機能組込み型回路では、外部入力ピン 7 の状態値を適宜設定することにより、スキャン・パス 2 から不定状態のデータが読み出される場合に、その不定状態のデータを論理ゲート 6 でマスクすることができ、データ圧縮器 4 における圧縮データが不定値になるのを防止できる（請求項 1）。

【0035】なお、各スキャン・パス 2 からのデータ読出のためのパターンを、同形のパターンで連続する場合には、そのパターンと連続数とを用いることにより、コンパクトに記述できる（請求項 2）。また、外部入力ピン 7 からの切換信号を論理ゲート 6 に与え、内部回路 1 における内部記憶素子等の初期化中、外部入力ピン 7 からの切換信号をスキャン動作側に切り換えることにより、各スキャン・パス 2 からデータ圧縮器 4 への出力データが論理ゲート 6 においてマスクされ、データ圧縮器 4 の初期値を保持することが可能になり、内部回路 1 の初期化中にデータ圧縮器 4 の内容が破壊されるのを防止できる（請求項 3）。

【0036】さらに、内部回路 1 の初期化中に、禁止手段によりデータ圧縮器 4 へのクロック信号の入力を禁止してデータ圧縮器 4 へのクロック信号の印加を停止することによっても、データ圧縮器 4 の内容を保持でき、内部回路 1 の初期化中にデータ圧縮器 4 の内容が破壊されるのを防止できる（請求項 4）。上述した第 2 の発明の自己試験機能組込み型回路では、外部入力ピン 7 からの切換信号によりセレクトア 8 をパターン発生器 3 側に切り換えておくことにより、自己試験動作が実行されるが、この自己試験動作中に、外部入力ピン 7 からの切換信号によりセレクトア 8 をスキャン・イン・ピン 5 側に切り換え、スキャン・イン・ピン 5 から任意の値に設定したデータを各スキャン・パス 2 へ与えて書き込むことにより、パターン発生器 3 から各スキャン・パス 2 へ与えられるテスト・パターンの一部を任意の値に修正することができる（請求項 5）。

【0037】なお、各スキャン・パス 2 へのデータ書込のためのパターンを、同形のパターンで連続する場合には、そのパターンと連続数とを用いることにより、コンパクトに記述できる（請求項 6）。上述した第 3 の発明の自己試験機能組込み型回路では、外部入力ピン 7 からの切換信号によりセレクトア 8 をパターン発生器 3 側に切り換えておくことにより、自己試験動作が実行されるが、この自己試験動作中に、外部入力ピン 7 からの切換信号によりセレクトア 8 をスキャン・イン・ピン 5 側に切り換え、スキャン・イン・ピン 5 から任意の値に設定したデータを各スキャン・パス 2 へ与えて書き込むことにより、パターン発生器 3 から各スキャン・パス 2 へ与えられるテスト・パターンの一部を任意の値に修正することができる。

【0038】一方、自己試験動作中、スキャン・イン・ピン5の状態値を適宜設定することにより、スキャン・バス2から不定状態のデータが読み出される場合に、その不定状態のデータを論理ゲート6でマスクすることができ、データ圧縮器4における圧縮データが不定値になるのを防止できる。さらに、内部回路1における内部記憶素子等の初期化中、外部入力ピン7からの切換信号をスキャン動作側に切り換えることにより、各スキャン・バス2からデータ圧縮器4への出力データが論理ゲート6においてマスクされ、データ圧縮器4の初期値を保持することが可能になり、内部回路1の初期化中にデータ圧縮器4の内容が破壊されるのを防止できる（請求項7）。

【0039】なお、各スキャン・バス2からのデータ読出のためのパターンや各スキャン・バス2へのデータ書込のためのパターンを、同形のパターンで連続する場合に、そのパターンと連続数とを用いることにより、コンパクトに記述できる（請求項8、9）。また、内部回路1の初期化中に、禁止手段によりデータ圧縮器4へのクロック信号の入力を禁止してデータ圧縮器4へのクロック信号の印加を停止することによっても、データ圧縮器4の内容を保持でき、内部回路1の初期化中にデータ圧縮器4の内容が破壊されるのを防止できる（請求項10）。

【0040】さらに、パターン発生器3およびデータ圧縮器4からなるスキャン・チェーンをバウンダリ・スキャン内の1チェーンとし、そのスキャン・チェーンのシフト・イン/シフト・アウト動作および自己試験動作をそれぞれ指示するための命令コードを、命令レジスタの動作コードとして予め割り当てるように構成することにより、本発明を、バウンダリ・スキャン方式を採用する回路にも適用することができる（請求項11）。

【0041】

【実施例】以下、図面を参照して本発明の実施例を説明する。図4は本発明の一実施例としての自己試験機能組込み型回路の構成を示すブロック図であり、この図4において、10は本実施例の回路（例えばLSI）、11はこの回路10上において所定機能を果たす内部回路であり、この内部回路11は、多数の回路構成要素、例えばフリップ・フロップ（FF）により構成されている。

【0042】そして、この内部回路11を自己試験すべく、回路10上には、複数（図中では3本）のスキャン・バス12A~12Cが予め形成され、各スキャン・バス12A~12Cは、複数（図中では5個）のフリップ・フロップ101をチェーン状に接続するものである。また、回路10には、各スキャン・バス12A~12Cへテスト用のデータ（テスト・パターン）を与えるためのスキャン・イン・ピン（SIピン）15A~15Bと、各スキャン・バス12A~12Cからの出力データを取り出すためのスキャン・アウト・ピン（SOピン）

19A~19Cと、回路10を動作させるためのクロック信号を入力するスキャン・クロック・ピン（SCKピン）20とが外部入力ピンとして設けられるほか、各スキャン・バス12A~12Cに対するスキャン動作と自己試験（BIST）動作との切換を行なうべく切換信号を入力するBE（BIST Enable）ピン17が外部入力ピンとして設けられている。なお、SCKピン20から入力されるクロック信号は、回路10上の全てのフリップ・フロップ101のクロック端子に入力されるようになっている。

【0043】さらに、13は回路10上に組み込まれ各スキャン・バス12A~12Cに入力するテスト・パターンを発生するLFSR（パターン発生器）、14は回路10上に組み込まれ各スキャン・バス12A~12Cからの出力データを圧縮して格納するMISR（データ圧縮器）である。ここで、LFSR13およびMISR14は、それぞれ図6、図5に示すように、複数の排他的論理和（XOR）ゲート21を介したフィードバック付きの複数のシフトレジスタ22で構成されている。そして、各シフトレジスタ22はSCKピン20からのクロック信号によりシフト動作するようになっている。また、図4に示すように、LFSR13にはスキャン・イン・ピン（SIピン）15が接続されるとともに、MISR14にはスキャン・アウト・ピン（SOピン）19が接続されている。

【0044】ところで、図4、図5に示すように、各スキャン・バス12A~12Cの出力側のラインは、SOピン19A~19Cに接続されるとともに、それぞれANDゲート（論理ゲート）16A~16Cを介してMISR14における各XORゲート21に接続されている。各ANDゲート16A~16Cは、各スキャン・バス12A~12Cからの出力データと、各スキャン・バス12A~12Cに対応するSIピン15A~15Cからの入力データと、BEピン17からの切換信号〔スキャン動作時にオフ“0”となりBIST動作時にオン“1”となる信号〕とを入力され、これらの論理積を算出してMISR14における各XORゲート21へ出力するものである。

【0045】また、図4、図6に示すように、各スキャン・バス12A~12Cの入力側のラインは、それぞれセレクト18A~18Cを介してSIピン15A~15CとLFSR13とに接続されている。各セレクト18A~18Cは、BEピン17からの切換信号に応じて、各SIピン15A~15Cからの入力データと、LFSR13からのテスト・パターンとのいずれか一方を切り換えて各スキャン・バス12A~12Cへ出力するものである。つまり、各セレクト18A~18Cは、BEピン17からの切換信号によりスキャン動作が選択されている場合には各SIピン15A~15Cからの入力データを各スキャン・バス12A~12Cへ出力する一方、

BEピン17からの切換信号によりBIST動作が選択されている場合にはLFSR13からのテスト・パターンを各スキャン・パス12A~12Cへ出力するものである。

【0046】上述の構成により、本実施例の自己試験機能組込み型回路では、BEピン17への切換信号をオフ“0”とすることにより、各セレクト18A~18Cは各S1ピン15A~15C側に切り換えられるとともに、各ANDゲート16A~16CからMISR14への出力は“0”に固定され、回路10の各スキャン・パス12A~12Cではスキャン動作が行なわれることになる。

【0047】つまり、スキャン動作時には、各スキャン・パス12A~12C上のフリップ・フロップ101はシフトレジスタとして動作し、SCKピン20からクロック信号を与えることにより、各S1ピン15A~15Cに与えられた値が、各セレクト18A~18Cを介して、順次、各スキャン・パス12A~12C上の次のフリップ・フロップ101へシフト・インされていく。また同時に、各SOピン19A~19Cには、各スキャン・パス12A~12C上のフリップ・フロップ101の値が、順次、スキャン・アウトされていく。

【0048】一方、BEピン17への切換信号をオン“1”とすることにより、各セレクト18A~18CはLFSR13側に切り換えられるとともに、各ANDゲート16A~16CからMISR14への出力は、各スキャン・パス12A~12Cからの出力データと、各スキャン・パス12A~12Cに対応するS1ピン15A~15Cからの入力データとの論理積となり、回路10の各スキャン・パス12A~12CではBIST動作が行なわれることになる。

【0049】つまり、BIST動作時には、LFSR13が疑似乱数を発生し、各スキャン・パス12A~12C上のフリップ・フロップ101に与えられ、各スキャン・パス12A~12C上のフリップ・フロップ101はシフトレジスタとして動作し、SCKピン20からクロック信号を与えることにより、各スキャン・パス12A~12Cに与えられた値が、各セレクト18A~18Cを介して順次、次のフリップ・フロップ101へシフト・インされていく。

【0050】また同時に、各スキャン・パス12A~12C上のフリップ・フロップ101の値（出力データ）が、順次、シフト・アウトされて、各ANDゲート16A~16Cにより各スキャン・パス12A~12Cに対応するS1ピン15A~15Cからの入力データとの論理積を算出された後、その論理積が、MISR14に圧縮されて格納されていく。最後に、MISR14に圧縮・格納されたデータをSOピン19から読み出すことにより、回路（LSI）10の不良判定が行なわれるようになっている。

【0051】このとき、通常のATPG（Automatic Test Pattern Generation:自動テストパターン生成）では、全ての内部記憶を初期化する必要はないため、各スキャン・パス12A~12Cからの出力データに不定状態が現れる場合がある。MISR14は、図5に示すように、フィードバック付きのシフトレジスタ22で構成され、各スキャン・パス12A~12Cからの出力データをXORゲート21を通してMISR14内のシフトレジスタ22に圧縮してゆくが、上述のように各スキャン・パス12A~12Cからの出力データに不定状態が現れた場合、XORゲート21が使用されるため、不定状態はそのままシフトレジスタ22に取り込まれ、さらに、フィードバック・ループがあるため、一つのシフトレジスタ22が不定状態になると、全てのシフトレジスタ22が不定状態になってしまう。

【0052】そこで、本実施例では、BIST動作時に、図4、図5に示すように、各スキャン・パス12A~12Cからの出力データをそのままMISR14に入力せずに、各ANDゲート16A~16Cにより、各スキャン・パス12A~12Cからの出力データと、各スキャン・パス12A~12Cに対応するS1ピン15A~15Cからの入力データとの論理積を算出して、MISR14に対して出力している。

【0053】即ち、本実施例では、スキャン・パス12A~12Cからの出力データが不定状態になる場合には、対応するスキャン・パス12A~12CのS1ピン15A~15Cからの値（入力データ）を“0”に設定することにより、対応するANDゲート16A~16CからMISR14への出力値を“0”にして、スキャン・パス12A~12CからMISR14への不定状態のデータがANDゲート16A~16Cでマスクされる。

【0054】このように、S1ピン15A~15Cの状態値を適宜設定することにより、スキャン・パス12A~12Cから不定状態のデータが読み出される場合に、その不定状態のデータをANDゲート16A~16Cでマスクすることができ、MISR14における圧縮データが不定値になるのを確実に防止できる。ここで、具体的な例として、図8に示すようなスキャン・アウト・データが得られる場合、本実施例による、不定状態のデータ（図8中の“U（Unknown）”）がMISR14に取り込まれることのないテスト・パターンの作成例について説明する。

【0055】なお、図9~図11は、それぞれ、図8に示すスキャン・アウト・データに対する、図17に示すスキャン回路、図18に示すBIST回路、図4（図5）に示す本実施例の回路によるデータ読出パターン（テスト・データ）の記述例を示している。図9~図11において、“N”はSCKピンから入力されネガティブ・パルスのクロック信号を示し、SOピンから出力される出力データの“X”は、“0”または“1”の不定

状態でない値が出力されることを示している。

【0056】図9に示すように、スキャン回路では、スキャンすべきフリップ・フロップ数分のパターン記述が必要となるので、図8に示すスキャン・アウト・データに対しては12行でテスト・データが記述される。大規模なLSIでは、一つのスキャン・パス上のフリップ・フロップ数は極めて多くなるので、そのテスト・データは非常に膨大なものになる。

【0057】図10に示すように、BIST回路では、繰り返し記述子〔REPEAT（繰り返し開始）/REPEND（繰り返し終了）〕を用いることにより、図8に示すスキャン・アウト・データに対しては3行でテスト・データを記述することができる。なお、繰り返し記述子“REPEAT”と“REPEND”とで囲まれたパターンは、繰り返し記述子“REPEAT”の後に指定された回数だけ繰り返される。ただし、前述したように、このようなデータ記述により、図8に示すスキャン・アウト・データを処理した場合、MISR14には不定値“U”が取り込まれることになるので、テスト・データとして使用することはできない。

【0058】これに対し、本実施例の回路では、図11に示すように、前記繰り返し記述子を使用することにより、図8に示すスキャン・アウト・データに対して、図9に示したスキャン回路の場合よりも少ない7行でテスト・データの記述が可能になる。実際には、MISR14から圧縮されたデータを外部に読み出すためのパターンも必要であるが、スキャン・アウト・パターン（フリップ・フロップ数数千）に比べれば無視することができる。

【0059】図8に示すスキャン・アウト・データでは、5番目に不定値“U”がスキャン・パス12A～12Cから出力されるので、5番目のパターンで対応するSIピン15A～15Cの状態値を“0”に設定し、ANDゲート16A～16CからMISR14への値を“0”にして、スキャン・パス12A～12Cからの不定値“U”が対応するANDゲート16A～16Cでマスクされる。5番目以外は不定値ではないので、各SIピン15A～15Cの状態値を“1”に設定し、スキャン・パス12A～12Cからの出力データをMISR14に入力する。このとき、図11に示すように、同じパターン（1～4番目と6～12番目）は繰り返し記述子を用いてまとめることができる。

【0060】さて、図6により前述した通り、LFSR13もフィードバック付きのシフトレジスタ22で構成され、その出力（テスト・パターン）と、外部の各SIピン15A～15Cからの入力データとが各セクタ18A～18Cを通して各スキャン・パス12A～12Cに入力される。BEピン17がオフ“0”の時、各SIピン15A～15Cの値が各セクタ18A～18Cにより選択されて各スキャン・パス12A～12Cにシフ

ト・インされ、BEピン17がオン“1”の時、LFSR13の出力が各セクタ18A～18Cにより選択されて各スキャン・パス12A～12Cにシフト・インされる。

【0061】通常はBEピン17をオン“1”として、LFSR13からの出力をシフト・インしていくが、各スキャン・パス12A～12C上の特定のフリップ・フロップ101をクリップしたり、そのフリップ・フロップ101に特別な値を設定したい場合、BEピン17をオフ“0”にして、各SIピン15A～15Cから所望のデータをシフト・インすることができる。

【0062】ATPGでは、LSI内部回路のある一つの故障を対象として、それを検出するためのテスト・パターンを作成する。実際に故障を検出するために設定しなければならない外部入力やスキャン対象のフリップ・フロップの数は少なく、その他にはBIST回路から発生される疑似乱数を設定しても問題ない。図4、図6に示す回路を用いて、スキャン動作とBIST動作とを適宜に切り換えることにより、そのようなテスト・パターンを作成することができる。また、前述した繰り返し記述子を用いることにより、BIST動作時のテスト・データ記述は少なくて済むので、全体のテスト・データ量も大幅に削減することができる。

【0063】ここで、具体的な例として、図12に示すようなスキャン・イン・データをスキャン・パス上の各フリップ・フロップに設定する場合についてのテスト・パターンの作成例について説明する。なお、図12中、“D0”、“D1”はATPGにより決定された値であるが、その他の“0”や“1”で示す部分は乱数で置き換えても問題ない。

【0064】また、図13～図15は、それぞれ、図12に示すスキャン・イン・データに対する、図17に示すスキャン回路、図18に示すBIST回路、図4（図6）に示す本実施例の回路によるデータ書込パターン（テスト・データ）の記述例を示している。図13に示すように、スキャン回路では、スキャンすべきフリップ・フロップ数分のパターン記述が必要となるので、図12に示すスキャン・イン・データに対しては12行でテスト・データが記述される。この場合、順次、データを書き込むことにより、特定のフリップ・フロップに対して特定の値“D0（0）”、“D1（1）”を設定することはできるが、大規模なLSIでは、一つのスキャン・パス上のフリップ・フロップ数は極めて多くなるので、そのテスト・データは非常に膨大なものになる。

【0065】図14に示すように、BIST回路では、繰り返し記述子〔REPEAT/REPEND〕を用いることにより、図12に示すスキャン・イン・データに対しては3行でテスト・データを記述することができる。なお、繰り返し記述子“REPEAT”、“REPEND”の機能は図10に

より前述した通りである。ただし、このようなデータ記述では、図12に示すように、特定のフリップ・フロップに対して特定の値“D0(0)”, “D1(1)”を設定することができず、LFSR13により発生された疑似乱数が設定されるため、対象とした故障を検出できるとは限らない。

【0066】これに対し、本実施例の回路では、図15に示すように、前記繰返し記述子を使用することにより、図12に示すスキャン・イン・データに対して、図13に示したスキャン回路の場合よりも少ない8行でテスト・データの記述が可能になる。図12に示すスキャン・イン・データでは、強制的に4番目に“0”, 5番目に“1”を設定しなければならないので、4番目および5番目のデータをシフト・インする際には、BEピン17をオフ“0”に設定し、セクタ18A~18CをS1ピン15A~15C側に切り換え、このS1ピン15A~15Cから設定された値“0”もしくは“1”を各スキャン・パス12A~12Cへ順次シフト・インする。

【0067】その他の部分では、乱数値がシフト・インされれば良いので、BEピン17を常時オン“1”に設定し、セクタ18A~18CをLFSR13側に切り換え、このLFSR13からの出力値（疑似乱数）を各スキャン・パス12A~12Cへシフト・インしている。このとき、図15に示すように、同じパターン（1~3番目と6~12番目）は繰返し記述子を用いてまとめることができる。

【0068】このようにして、BIST動作中に、BEピン17からの切換信号により各セクタ18A~18Cを各S1ピン15A~15C側に切り換え、各S1ピン15A~15Cから任意の値に設定したデータを各スキャン・パス12A~12Cへ与えて書き込むことによって、LFSR13から各スキャン・パス12A~12Cへ与えられるテスト・パターンの一部を任意の値に修正することができる。

【0069】一方、回路(LSI)10の内部回路11中における内部記憶素子LSIの内部記憶素子は電源投入時には不定状態であるので、BISTを行なう前に内部記憶素子の状態の初期化を行なうが、このとき、MISR14では、クロック信号を1回印加する毎にシフトレジスタ22がシフト動作してその内容が更新され、内部記憶素子の初期化パターン印加中であっても更新が行なわれる。これに対処すべく、前述したように、ATPGプログラムはMISR14の内容をモニタする必要があり、処理が煩雑になる。

【0070】そこで、本実施例では、図4、図5に示すように、BEピン17を各S1ピン15A~15Cと各スキャン・パス12A~12Cからの出力データとともに各ANDゲート16A~16Cに入力し、これらの論理積をMISR14の各シフトレジスタ22へ出力して

いる。これにより、MISR14のシフトレジスタ22を全て“0”に初期化しておけば、BEピン17への切換信号をオフ“0”にするか、S1ピン15A~15Cへの入力データを全て“0”するかで、MISR14内の全てのシフトレジスタ22の内容を“0”に保持することができる。

【0071】通常の回路10としてのシステム動作、もしくは、スキャン動作の場合には、BEピン17に入力される切換信号はオフ“0”になっているので、MISR14内の各シフトレジスタ22の内容は“0”に保持される。また、BIST動作時にも、BIST動作には関係ない各S1ピン15A~15Cへの入力データを全て“0”にすることで、MISR14内の各シフトレジスタ22の内容を“0”に保持できる。

【0072】さらに、BIST動作に先立つ初期化中には、BEピン17への切換信号をオフ“0”に保持することで、MISR14内の各シフトレジスタ22の内容を“0”に保持する。従って、特に、BIST動作前の初期化中において、各スキャン・パス12A~12CからMISR14への出力データが各ANDゲート16A~16Cにおいてマスクされ、MISR14の初期値を保持することが可能になり、MISR14の内容が破壊されるのを確実に防止できる。

【0073】なお、内部回路11（内部記憶素子）の初期化中にMISR14内の各シフトレジスタ22の内容を保持するための他の手段としては、例えば、図7に示すものもある。図4、図5では、各ANDゲート16A~16CにBEピン17からの切換信号を入力していたが、図7においては、クロック信号停止部（禁止手段）25をそなえることにより、初期化中におけるMISR14内の各シフトレジスタ22の内容保持を実現している。

【0074】つまり、図7に示すクロック信号停止部25は、インヒビット・ピン（IHピン）23およびORゲート24から構成されている。IHピン23は、回路10に外部入力ピンとして設けられるもので、SCKピン20からのクロック信号がMISR14内の各シフトレジスタ22に印加されるのを停止する際に、このIHピン23に入力されるクロック停止信号がオフ“0”からオン“1”に設定されるようになっている。

【0075】また、ORゲート24は、SCKピン20からのクロック信号（ネガティブ・パルスで与えられるもの）とIHピン23からのクロック停止信号との論理和を算出してMISR14内の各シフトレジスタ22に印加するものである。これにより、MISR14内の各シフトレジスタ22の内容にかかわらず、IHピン23へのクロック停止信号をオン“1”に設定することで、MISR14内の各シフトレジスタ22にはSCKピン20からのクロック信号が印加されなくなる。

【0076】従って、各シフトレジスタ22における更

新（シフト動作）も行なわれず、全てのシフトレジスタ 22 の値をそのまま保持でき、この図 7 に示すような構成によっても、BIST 動作前の初期化中、MISR 14 の内容が破壊されるのを確実に防止できる。ただし、図 7 に示す回路構成では、図 4、図 5 に示すように BE ピン 17 からの切換信号を各 AND ゲート 16A~16C に入力する場合に比べて、外部入力ピン（IH ピン 23）が 1 本多く必要となるが、任意の MISR 14 の値を指定して保持できる利点がある。

【0077】ところで、図 4~図 15 により上述した例では、本発明を一般スキャン方式に適用した場合について説明したが、本発明は、図 16 に示すように、バウンダリ・スキャン方式にも適用される。バウンダリ・スキャン方式では、回路上の外部入力ピンと内部回路との間にバウンダリ・スキャン・セルが配置されており、それらの全てを連結してテスト・データ・イン・ピン（TDI ピン）からテスト・データ・アウト・ピン（TDO ピン）に到るバウンダリ・スキャン・チェーンを構成し、このバウンダリ・スキャン・チェーンにおける各バウンダリ・スキャン・セルを可制御かつ可観測にしている。

【0078】図 16 において、30 はバウンダリ・スキャン LSI であり、このバウンダリ・スキャン LSI 30 上に、前述のバウンダリ・スキャン・チェーン 31A と 2 つの内部スキャン・チェーン 31B、31C とが形成されている。そして、図 16 に示すように、バウンダリ・スキャン LSI 30 で、これらのスキャン・チェーン（スキャン・パス）31A~31C が、図 4~図 7 に示したスキャン・パス 12A~12C に代えて配置されている。ただし、図 16 に示すバウンダリ・スキャン LSI 30 では、SI ピン 15A に代えて TDI ピン 32 が設けられるとともに、SO ピン 19A に代えて TDO ピン 33 が設けられている。なお、図 16 中、LFSR 13、MISR 14、AND ゲート 16A~16C、BE ピン 17、セレクト 18A~18C は図 4~図 7 により前述したものと全く同様に機能するものである。

【0079】また、図 16 において、34 はバウンダリ・スキャンのためのテスト・クロック信号を入力するテスト・クロック・ピン（TCK ピン）、35 はバウンダリ・スキャンによるテスト・モードを選択するための選択信号を入力するテスト・モード・セレクト・ピン（TMS ピン）、36 は TMS ピン 35 からの選択信号に応じて TCK ピン 34 からのテスト・クロック信号に同期して動作するテスト・アクセス・ポート（TAP）回路で、この TAP 回路 36 は、バウンダリ・スキャン LSI 30 上の各テスト機構に対してアクセスし、バウンダリ・スキャン動作の制御を行なうためのものである。

【0080】さらに、37 は TDI ピン 32 から TDO ピン 33 までの間のバウンダリ・スキャン・チェーン 31A をバイパスするためのバイパス・レジスタ、38 は TAP 回路からの各種制御信号に応じた命令コードを保

持する命令レジスタ、39 はマルチプレクサで、このマルチプレクサ 39 は、命令レジスタ 38 からの命令コードに応じて動作し、バウンダリ・スキャン・チェーン 31A、MISR 14 からのスキャン・アウト・データおよびバイパス・レジスタ 37 からのデータを多重化して TDO ピン 33 へ出力するものである。

【0081】なお、上述したバウンダリ・スキャン・チェーン 31A、TDI ピン 32、TDO ピン 33、TCK ピン 34、TMS ピン 35、TAP 回路 36、バイパス・レジスタ 37、命令レジスタ 38、マルチプレクサ 39 といった構成部分は、バウンダリ・スキャン方式として一般的なものである。バウンダリ・スキャン方式では、各種の試験モードを命令レジスタ 38 の動作コードに割り当てる必要があり、BIST 動作を指示するための命令コードが、命令レジスタ 38 の唯一の動作コードとして予め割り当てられ、その動作コードの際に、TCK ピン 34 からのテスト・クロック信号を印加することで、BIST 回路（LFSR 13、MISR 14 等）が動作するように構成されている。

【0082】また、LFSR 13 および MISR 14 からなるスキャン・チェーンをバウンダリ・スキャン内の 1 チェーンとして扱い、そのスキャン・チェーンのシフト・イン/シフト・アウト動作を指示するための命令コードが、命令レジスタ 38 の唯一の動作コードとして予め割り当てられている。上述のような構成のバウンダリ・スキャン LSI 30 におけるテスト・データの構成を以下に示す。

- ① TAP 回路 36 の初期化。
- ② LFSR 13/MISR 14 の選択（命令コードの設定）。
- ③ LFSR 13/MISR 14 の初期化。
- ④ BIST 回路の選択（命令コードの設定）。
- ⑤ BIST 回路の動作（LFSR 13 からのバウンダリ・スキャン・チェーン 31A/内部スキャン・チェーン 31B、31C へのシフト・イン）。
- ⑥ システム・クロック（テスト・クロック）信号の印加。
- ⑦ BIST 回路の動作（バウンダリ・スキャン・チェーン 31A/内部スキャン・チェーン 31B、31C から MISR 14 へのデータ圧縮）。
- ⑧ LFSR 13/MISR 14 の選択（命令コードの設定）。
- ⑨ MISR 14 からのデータ読出。

【0085】なお、上述の BIST 回路の動作を行なう項目⑥および⑦におけるテスト・データは、図 11、図 15 に示したものと同様の記述となる。上述のようにして、本発明をバウンダリ・スキャン方式を採用する回路（LSI 30）に対しても、一般スキャンを用いた LSI と同様に、少ないテスト・データ記述で効率の良いテスト・パターンを作成することができる。

【0086】このように、本発明の一実施例によれば、MISR14に不定状態のデータが取り込まれたり初期化中にMISR14の内容が破壊されたりするのを防止して確実に容易にBISTを行なうことができる。また、スキャン動作とBIST動作とを組み合わせることにより、わずかなゲート（ANDゲート16A～16C等）の追加で、非常にコンパクトで効率的かつ汎用的なテスト・データの作成が可能で、BISTの効率化や、LSI等の回路設計時の計算機資源および設計工数を大幅に削減できる利点がある。

【0087】従来、LFSR13の出力するパターンは無加工で内部回路に印加されていたが、本実施例では、上述のようにスキャン動作とBIST動作とを組み合わせ、LFSR13の出力とS1ピン15A～15C等からの入力データとをセクタ18A～18Cで切り換えることで、内部回路11内の特定の回路に印加される値を任意に変更することが可能になるのである。

【0088】なお、上述した実施例では、BIST（組込み自己試験）でのLSI（回路10, 30）の出力期待値の解析に際し、データ圧縮器としてのMISR14を用いた場合について説明したが、本発明はこれに限定されるものでなく、MISRを用いた解析法以外にも、例えば、①遷移カウント法（Transition Count：出力が“0”から“1”へ遷移した回数と“1”から“0”へ遷移した回数を解析する方法）、②シンδροーム法（1's counting：出力に現れた“1”の回数を解析する方法）などにも適用することができる。

【0089】

【発明の効果】以上詳述したように、本発明の自己試験機能組込み型回路によれば、データ圧縮器に不定状態のデータが取り込まれ、データ圧縮器における圧縮データが不定値になるのを確実に防止でき、確実に自己試験を行なうことができる（請求項1, 7）。

【0090】また、内部回路の初期化中、データ圧縮器内のデータを保持することが可能になり、データ圧縮器の内容が破壊されるのを確実に防止でき、データ圧縮器の内容をモニタするなどの煩雑な処理が不要になり、容易に自己試験を行なうことができる（請求項3, 4, 7, 10）。さらに、スキャン動作と自己試験動作とを組み合わせることにより、パターン発生器3から各スキャン・パス2へ与えられるテスト・パターンの一部を任意の値に修正することができるほか（請求項5, 7）、コンパクトで効率的かつ汎用的なテスト・データの作成が可能になり（請求項2, 6, 8, 9）、自己試験の効率化や、LSI等の回路設計時の計算機資源および設計工数を大幅に削減することができる。

【0091】またさらに、バウンダリ・スキャン方式を採用する回路にも適用することが可能で、この場合にも上述したものと同様の効果を得ることができる（請求項11）。

【図面の簡単な説明】

【図1】第1の発明の原理ブロック図である。

【図2】第2の発明の原理ブロック図である。

【図3】第3の発明の原理ブロック図である。

【図4】本発明の一実施例としての自己試験機能組込み型回路の構成を示すブロック図である。

【図5】本実施例のデータ圧縮器にかかる部分を抽出して示すブロック図である。

【図6】本実施例のパターン発生器にかかる部分を抽出して示すブロック図である。

【図7】本実施例のデータ圧縮器のクロック停止回路（禁止手段）の一例とそのクロック停止回路にかかる部分を抽出して示すブロック図である。

【図8】スキャン・アウト・データの一例を示す図である。

【図9】従来のスキャン回路によるデータ読出パターンの一例を示す図である。

【図10】従来のBISTタイプの回路によるデータ読出パターンの一例を示す図である。

【図11】本実施例のデータ読出パターンの一例を示す図である。

【図12】スキャン・イン・データの一例を示す図である。

【図13】従来のスキャン回路によるデータ書込パターンの一例を示す図である。

【図14】従来のBISTタイプの回路によるデータ書込パターンの一例を示す図である。

【図15】本実施例のデータ書込パターンの一例を示す図である。

【図16】本発明をバウンダリ・スキャン方式のLSIに適用した場合の構成例を示すブロック図である。

【図17】従来のスキャン回路の構成例を示すブロック図である。

【図18】従来のBISTタイプの回路の構成例を示すブロック図である。

【符号の説明】

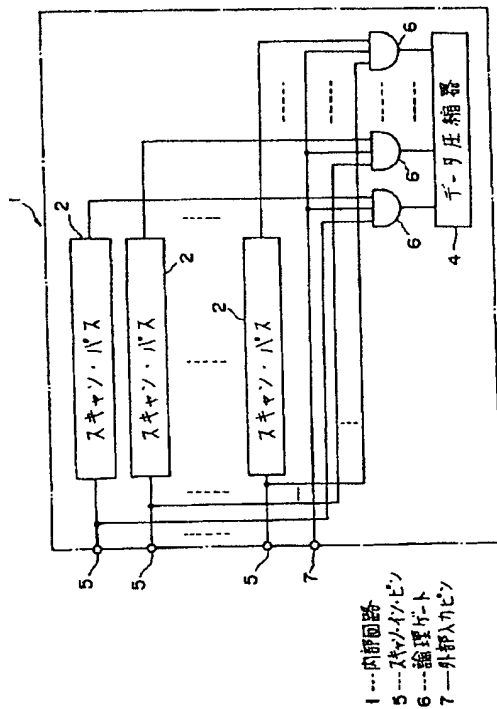
- 1 内部回路
- 2 スキャン・パス
- 3 パターン発生器
- 4 データ圧縮器
- 5 スキャン・イン・ピン
- 6 論理ゲート
- 7 外部入力ピン
- 8 セクタ
- 10 回路
- 11 内部回路
- 12A～12C スキャン・パス
- 13 LFSR（パターン発生器）
- 14 MISR（データ圧縮器）
- 15, 15A～15C スキャン・イン・ピン（S1ピ

ン)

- 16A~16C ANDゲート (論理ゲート)
 17 BEピン (外部入力ピン)
 18A~18C セレクタ
 19, 19A~19C スキャン・アウト・ピン (SO
 ピン)
 20 スキャン・クロック・ピン (SCKピン)
 21 排他的論理和 (XOR) ゲート
 22 シフトレジスタ
 23 インヒビット・ピン (IHピン)
 24 ORゲート
 25 クロック信号停止部 (禁止手段)
 30 バウンダリ・スキャンLSI

【図1】

第1の発明の原理ブロック図



【図10】

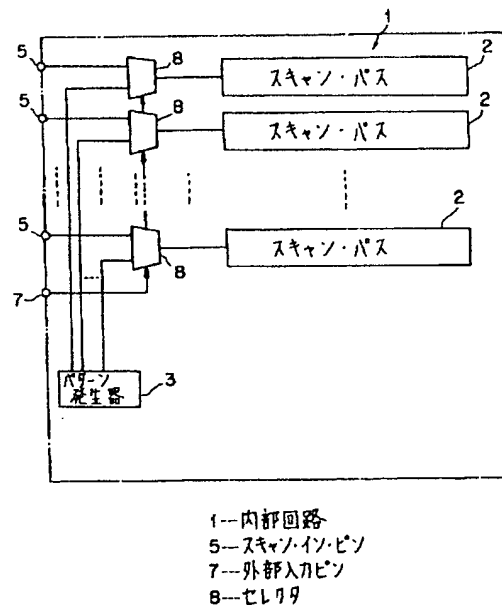
従来のBIST回路によるデータ読出パターン例を示す図

SCK	SI	SO
REPEAT 12:		
N	0	X
REPEAT:		

- 31A バウンダリ・スキャン・チェーン (スキャン・バス)
 31B, 31C 内部スキャン・チェーン (スキャンバス)
 32 テスト・データ・イン・ピン (TDIピン)
 33 テスト・データ・アウト・ピン (TDOピン)
 34 テスト・クロック・ピン (TCKピン)
 35 テスト・モード・セレクト・ピン (TMSピン)
 36 テスト・アクセス・ポート (TAP) 回路
 37 バイパス・レジスタ
 38 命令レジスタ
 39 マルチプレクサ
 101 フリップ・フロップ (回路構成要素)

【図2】

第2の発明の原理ブロック図



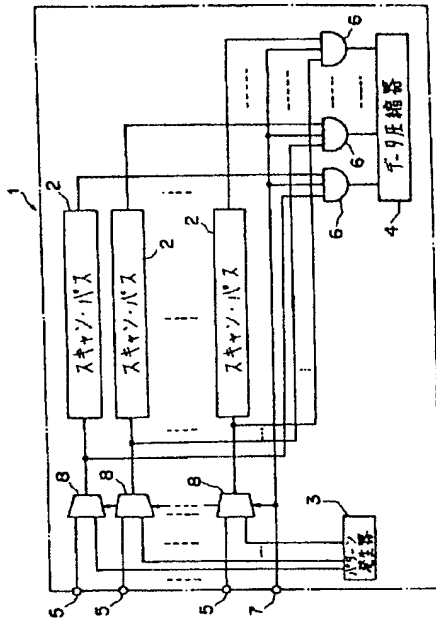
【図9】

従来のスキャン回路によるデータ読出パターン例を示す図

SCK	SI	SO
N	0	0
N	0	1
N	0	0
N	0	0
N	0	0
N	0	U
N	0	1
N	0	0
N	0	1
N	0	0
N	0	0
N	0	0
N	0	1

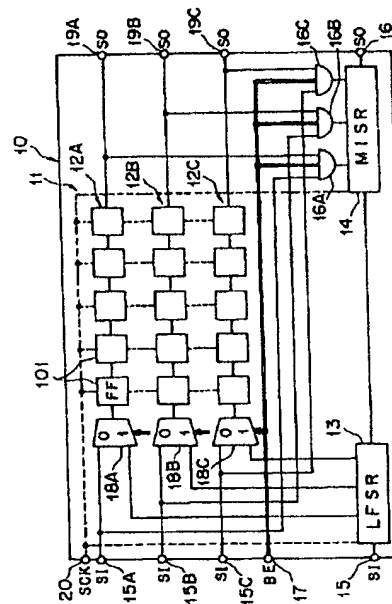
【図3】

第3の発明の原理ブロック図



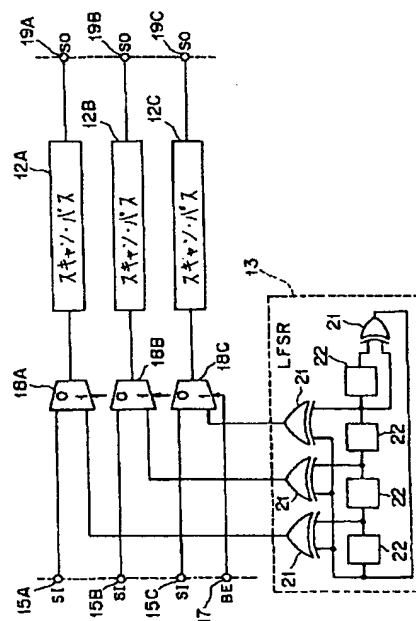
【図4】

本発明の実施例としての自己試験機能組込み型回路の構成を示すブロック図



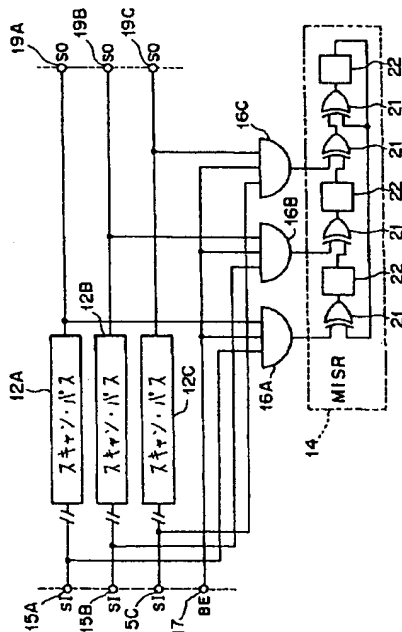
【図6】

本実施例のパターン発生器にかかる部分を抽出し示すブロック図



【図5】

本実施例の圧縮器にかかる部分を抽出し示すブロック図

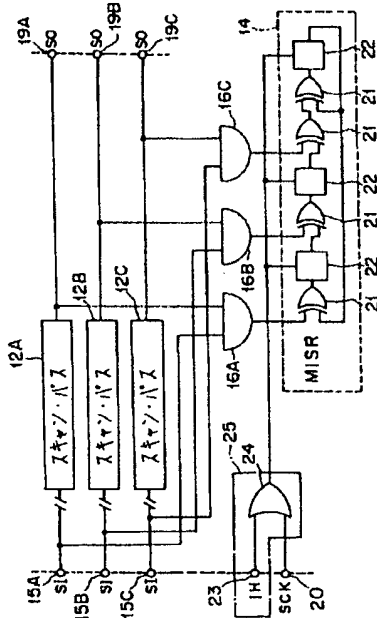


【図 7】

【図 8】

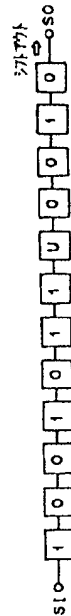
【図 11】

本実施例のデリ圧縮器のデリ圧縮停止回路(禁止手段)の一例と、そのデリ圧縮停止回路に於ける部分も抽出して示すブロック図



【図 12】

【図 13】



SCK	SI	BE	SO
REPEAT 4:	N	1	X
REPEAT 5:	N	0	X
REPEAT 6:	N	1	X
REPEAT 7:	N	0	X
REPEAT 8:	N	1	X

【図 15】

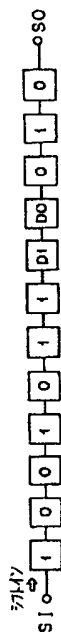
本実施例のデリ圧縮器のデリ圧縮停止回路(禁止手段)の一例と、そのデリ圧縮停止回路に於ける部分も抽出して示すブロック図

SCK	SI	BE	SO
REPEAT 3:	N	0	X
REPEAT 4:	N	0	X
REPEAT 5:	N	0	X
REPEAT 6:	N	0	X
REPEAT 7:	N	0	X
REPEAT 8:	N	0	X

【図 14】

スキャンイン・デリの一例を示す図

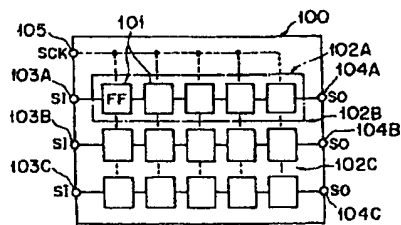
従来のBIST 91の回路によるデリ圧縮器の一例を示す図



SCK	SI	SO
REPEAT 12:	N	0
REPEAT 13:	N	0
REPEAT 14:	N	0
REPEAT 15:	N	0
REPEAT 16:	N	0
REPEAT 17:	N	0
REPEAT 18:	N	0
REPEAT 19:	N	0
REPEAT 20:	N	0
REPEAT 21:	N	0
REPEAT 22:	N	0
REPEAT 23:	N	0
REPEAT 24:	N	0
REPEAT 25:	N	0
REPEAT 26:	N	0
REPEAT 27:	N	0
REPEAT 28:	N	0
REPEAT 29:	N	0
REPEAT 30:	N	0

【図 17】

従来のスキャン回路の構成例を示すブロック図



SCK	SI	SO
REPEAT 12:	N	0
REPEAT 13:	N	0
REPEAT 14:	N	0
REPEAT 15:	N	0
REPEAT 16:	N	0
REPEAT 17:	N	0
REPEAT 18:	N	0
REPEAT 19:	N	0
REPEAT 20:	N	0
REPEAT 21:	N	0
REPEAT 22:	N	0
REPEAT 23:	N	0
REPEAT 24:	N	0
REPEAT 25:	N	0
REPEAT 26:	N	0
REPEAT 27:	N	0
REPEAT 28:	N	0
REPEAT 29:	N	0
REPEAT 30:	N	0

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-015382

(43)Date of publication of application : 19.01.1996

(51)Int.Cl.

G01R 31/28

(21)Application number : 06-151976

(71)Applicant : FUJITSU LTD

(22)Date of filing : 04.07.1994

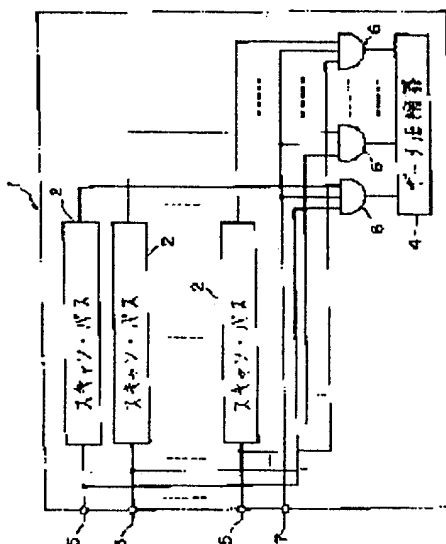
(72)Inventor : HIRAIDE TAKAHISA
TADA TOSHIHIKO

(54) CIRCUIT INCORPORATING SELF TEST FUNCTION

(57)Abstract:

PURPOSE: To prevent a compressed data from having an indeterminate value by a constitution wherein a data in indeterminate state is masked at a logic gate and a data compressor takes in the data in indeterminate state.

CONSTITUTION: When the internal circuit 1 is subjected to self test, output data from a plurality of scan paths 2 previously formed on the circuit 1 is fed through a logic gate 6 to a data compressor 4 and stored therein while being compressed. A scan in pin 5 provides a data to the path 2 and the gate 6 provided for each path 2 performs logical operation on the output data from the path 2 and an input data from the pin 5 corresponding to the path 2. When the indeterminate data on the path 2 is read into the compressor 4, input data from the pin 5 is set at a value for masking the indeterminate data and the gate 6 can mask the indeterminate data. This constitution can prevent the compressed data from becoming indeterminate in the compressor 4.



LEGAL STATUS

[Date of request for examination] 22.12.2000

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3403814

[Date of registration] 28.02.2003

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Translation of JP8-15382

[Claims]

[Claim 1]

A BIST-type circuit in which:

in addition to providing an internal circuit that fulfills a set function,

in order to self-test,

a data compactor is built in that compresses and stores output data from each of multiple

scan busses pre-formed on said internal circuit; and in which

in addition to providing scan-in pins for each scan bus that can supply data to the scan busses,

a logic gate(s) are provided for each scan bus that do logical calculations

on output data from said scan busses and

on input data from said scan-in pins which correspond to each scan bus;

and in which

when indeterminate state data in said scan bus is read out to said data compactor via said logic gates,

data input

from said scan-in pins which correspond to the relevant scan bus

to said logic gates

is set to a value for masking the indeterminate state data in question in the appropriate logic gate.

[Claim 2]

A BIST-type circuit as in Claim 1, in which
during data read-out from said scan busses,
given data read-out patterns that include input data from said scan-in pins,
if patterns of the same form occur in sequence,
[that sequence of patterns] can be described using that pattern and a repetition count.
[Claim 3]

A BIST-type circuit as in Claims 1 or 2, in which:
so as to effect the switch between scan mode referring said scan busses and self-test
mode that uses said data compactor,
in addition to supplying an external input pin that inputs a switch-mode signal,
said switch-mode signal from said external input pin is fed to said logic gates, and
during initialization of said internal circuit,
by means of setting said switch signal from said external input pin to scan mode,
output data from said scan busses to said data compactor is masked.

[Claim 4]

A BIST-type circuit as in Claims 1 or 2 in which:
a blocking means is supplied for blocking input of the clock signal to said data compactor
during the initialization of said internal circuit.

[Claim 5]

A BIST-type circuit in which:
in addition to supplying an internal circuit that fulfills a set function,
so that said internal circuit can self-test,

a pattern generator is built in which generates patterns fed to each of multiple scan busses pre-formed on said internal circuit; and in which,

in order to switch between scan mode referring to said scan busses and self-test mode that uses said pattern generator,

in addition to supplying an external input pin that inputs the mode-change signal,

for each scan bus is supplied:

- + scan-in pins that can feed data to said scan busses, and

- + selectors that, in accordance with the switch-mode signal from said external input pin, switch to either input data from said scan-in pins or test patterns from said pattern generator and outputting to said scan busses; and in which

during normal BIST mode,

said selectors switch to said pattern generator by means of the switch-mode signal from said external input pin, and

when part of the test pattern given to the scan busses from said pattern generator is to be modified to arbitrary values,

said selectors switch to said scan-in pins by means of the switch-mode signal from said external input pin, and

data set to arbitrary values from said scan-in pins is fed in and written to said scan busses.

[Claim 6]

A BIST-type circuit as in any of Claims 7 through 9 in which

when data is written into said scan busses,

given data write-in patterns containing input data from said scan-in pins and a mode-switch signal to said external input pin,

if patterns of the same form occur in sequence,

[that sequence of patterns] can be described by that pattern and a repetition count.

[Claim 7]

A BIST-type circuit in which

in addition to having an internal circuit fulfilling a set function,

in order for said internal circuit to self-test,

is built in

- a pattern generator that generates test patterns that are fed to each of multiple scan busses that are pre-formed on said internal circuit, and
- a data compactor that compresses and stores data output from each of said multiple scan busses that are pre-formed on said internal circuit,

and in which,

in addition to supplying an external input pin that inputs a mode-switch signal

in order to shift between scan mode referring to said scan busses, and self-test mode that

uses said pattern generator and said data compactor,

for each scan bus are supplied:

- a scan-in pin that can feed data to said scan busses
- logic gates that perform logical operations on
 - output data from said scan busses
 - input data from said scan-in pins, each corresponding to a scan buss(es), and
 - the mode-switch signal from said external input pin, and

➤ selectors that, in accordance with the mode-switch signal from said external input pin, switch to either

- input data from said scan-in pins or
- test patterns from said pattern generator and

output it to said scan busses, and

in which:

in normal self-test mode, said selectors are switched by means of the mode-switch signal from said external input pins to said pattern generator, but

on the one hand,

when one part of a test pattern fed by said pattern generator to said scan bus is modified to an arbitrary value,

said selectors are switched by means of the mode-switch signal from said external input pin to said scan-in pins, and

data from said scan-in pins set to arbitrary values is fed and written into said scan busses, [whereas]

when indeterminate state data in said scan busses is read out to said data compactor via said logic gates, the corresponding indeterminate state data of data input from the scan-in pin corresponding to the applicable scan bus to said logic gates is set to a mask value in said logic gates, and

during the initialization of said internal circuit,

by means of switching the switch-mode signal from said external input pin to scan mode, the output data from said scan busses to said data compactor is masked in said logic gate.

[Claim 8]

A BIST-type circuit as in Claim 7 in which,

when data is read-out from said scan busses,

given a read-out data pattern containing input data from said scan-in pins,

if patterns of the same form occur in sequence,

[that sequence of patterns] can be described by that pattern and a repetition count.

[Claim 9]

A BIST-type circuit as in Claims 7 or 8 in which,

when data is written into said scan busses,

given a data write-out pattern containing

input data from said scan-in pins and

a mode-switch signal to said external input pin,

if patterns of the same form occur in sequence,

[that sequence] can be described by that pattern and a repetition count.

[Claim 10]

A BIST-type circuit as in any of Claims 7 through 9 in which

a blocking means is supplied for blocking input of the clock signal to said data compactor

during initialization of said internal circuit.

[Claim 11]

A BIST-type circuit as in any of Claims 7 through 10 in which,

arranging one scan chain of a boundary scan as a scan chain consisting of said pattern

generator and said data compactor,

a command code for specifying either said scan-chain shift-in / shift-out mode or self-test mode is assigned in advance as a command register mode code.

[0001] Contents

Field of Industrial Use

Prior Art (Figs 17, 18)

Problems to be solved by the invention

Method of solving the problems (Figs 1 – 3)

Operation of the invention

Preferred Embodiments (Figs 4 – 16)

Effect of the Invention

[0002] [Field of Industrial Use]

The present invention concerns LSI, printed circuit board and other BIST-type circuits whose self-test function was built-in in advance.

[0003] [Prior Art]

Generally, in order to detect manufacturing defects of LSI or other chips, test patterns are applied to the circuit under test, and output is commonly compared with an expected value (the output during proper functioning: the result of logical and / or error simulation). However, in recent years, test pattern generation has become troublesome with the increasingly large scale of LSI chips, and test pattern generation time has come to take up a large proportion of design time.

[0004]

For example, Fig 17 shows a common (LSI) scan circuit having multiple (in the figure, three) scan busses. In Fig 17, 100 is a scan circuit, 101 are structural circuit components located on scan circuit 100 that form an internal circuit that fulfills a set function, for example, flip-flops (FFs). Further, 102A – 102C are scan busses; multiple scan busses 102A – 102C are pre-formed on scan circuit 100, and they connect multiple flip-flops 101 in a chain configuration.

[0005]

Also, the following are provided as external input pins to scan circuit 100: scan-in pins (SI pins) 103A – 103C, which are for providing data for testing (test patterns) to scan busses 102A- 102C; scan-out pins (SO pins) 104A – 104C, which are for extracting output data (test patterns) from scan busses 102A – 102C; and a scan-clock pin (SCK pin) 105 for inputting the clock signal for operating scan circuit 100.

[0006]

Both terminals of each scan bus 102A – 102C are connected to SI pins 103A-103C and SO pins 104AC, respectively. Further, the clock signal input from SCK pin 105 is input to the clock terminal of each flip-flop 101 on scan circuit 100. During scan mode, flip-flops 101 on scan busses 102A – 102C act as shift registers, and by means of supplying the clock signal from SCK pin 105, values supplied to SI pins 103AC are shifted into the

next flip-flops 101 on each scan bus 102A – 102C in order. Further, the values of flip-flops 101 on each scan bus 102A – 102C are simultaneously scanned out in order.

[0007]

In this way, in addition to testing which applies test patterns from outside of the (LSI) circuit under test, in recent years, built-in self-testing called BIST testing has been being carried out on all circuits. In this BIST-type circuit, it is necessary to build into the LSI or other circuit a pattern generator [an LFSR (Linear Feedback Shift Register) and a counter, patterns stored in ROM etc], a data analyzer [a MISR (Multiple Input Shift Register) and comparator, data stored in ROM etc], and a control circuit for controlling these.

[0008]

In BIST testing, test patterns generated by the pattern generator are applied to the internal circuit of the (LSI) circuit under test, and the output result is verified by the data analyzer. A MISR is often used as a data analyzer; in this case, because the output result is compressed and stored as a signature, the data analyzer is called a data compactor. In the present invention as well, supposing that a MISR is used as a data analyzer, in the following, the term “data compactor” is used instead of “data “analyzer”

[0009]

Fig 18 shows a common BIST-type circuit (an LSI circuit) having multiple (in the figure, three) scan busses. In Fig 18, 110 is a BIST circuit on which are positioned, in the same

way as the circuit shown in Fig 17, flip-flops 101 as structural circuit components that make up an internal circuit that fulfills a set function, and multiple (three) scan chains 102A – 102C that are pre-formed to connect multiple flip-flops 101 in a chain configuration.

[0010]

Further, 111 is an LFSR (pattern generator) that generates the test patterns input to scan busses 102A – 102C, and 112 is a MISR (data compactor) that compresses and stores the output data from scan busses 102A – 102C. Here, both LFSR 111 and MISR 112 are arranged as shift registers with feedback via logical XOR gates (See Figs 5 – 7 described below).

[0011]

Furthermore, the shift registers perform shifts by means of the clock signal from SCK pin 105. Further, in Fig 18, 103 are scan-in pins (SI pins) connected to LFSR 111, and 104 are scan-out pins (SO pins) connected to MISR 112. Moreover, the clock signal from SCK pin 105 is input to the clock terminal of each flip-flop 101 in the same way as scan circuit 100 shown in Fig 17.

[0012]

In this way, during self-test mode, LFSR 111 generates pseudorandom numbers which are fed into flip-flops 101 on scan busses 102A – 102C. Flip-flops 101 on scan busses 102A – 102C act as shift registers, and by supplying them with the clock signal from

SCK pin 105, the values supplied to scan busses 102A – 102C are shifted into the next flip-flops 101, in order.

[0013]

Further, the values of flip-flops 101 on scan busses 102A – 102C are shifted out in order, to be compressed and stored in MISR 112. Finally, by means of reading out the data compressed and stored in MISR 112 to the scan-out pins SO, fault analysis of (LSI) circuit 110 is carried out.

[0014]

Self-testing in a BIST-type circuit 110 as described above is carried out by the internal built-in self-test circuits (LFSR 111, MISR 112 etc) by means of feeding the clock signal to circuit 110, and only the minimal amount of information (data accumulated in MISR 112) is externally output. This kind of BIST circuit has the following advantages:

[0015]

1. If an LSFR and counter are used as a pattern generator, because there is no need to produce test data that is supplied from outside, design costs can be reduced.
2. Because test patterns are applied from the built-in pattern generator and it is sufficient to read out the result in the data compactor, expensive testing equipment is made unnecessary.

[0016]

In large scale LSI circuits, scan designs like that shown in Fig 17 are common knowledge. However, since in recent years the above advantages can be obtained, use in LSI circuits of BIST circuits like that shown in Fig 18 has been increasing.

[0017]

(Problems to be solved by the invention)

Nonetheless, a weak point of BIST testing is that test reliability cannot be easily calculated. Normally, test reliability for LSI circuits is calculated as the failure diagnosis rate given by $(\text{number of failures detected}) / (\text{total number of failures}) \times 100\%$. To determine the number of failures detected, it is necessary to run failure simulations making use of test patterns and a model of the LSI under test. In particular, in a BIST pattern generator, an LFSR or other pseudo-random number generator is used, but to obtain a sufficiently high failure diagnosis rate, a considerable number of huge patterns is necessary. Generally, failure simulation takes a very long time, and evaluation of the huge patterns applied in BISTs incur very high production costs.

[0018]

Further, a MISR is generally used in BIST data compactors, and because MISR is composed of a shift register with feedback through XOR gates (see Fig 5 described below), once any unknown value is read into a data compactor such as a MISR, all of the compressed data (the whole shift register) becomes unknown state data, and reading out the compressed data stored in the MISR becomes meaningless.

[0019]

Generally, because internal storage elements in an LSI circuit at power-up are in unknown state, before running BISTs, one must invariably reset the states of the internal memory elements, run scans, etc, to establish definite values not of unknown state.

However, among internal memory elements there are some that cannot be initialized with a simple procedure; applying BISTs to the kind of LSI circuits containing such elements requires special attention.

[0020]

Further, because contents are updated once every clock cycle in data compactors (and in particular in data compactors like MISRs), including during pattern initialization of the internal storage elements, the contents of the MISR are destroyed, so that the test pattern generation program is required to monitor the MISR contents, which can be a vexatious task.

[0021]

Moreover, in typical test data, the number of lists of values applied to the multiple external input pins that needs to be described is equal to the number of patterns.

Consequently, the test data for large scale LSI circuits [sic] becomes enormous (for example, see Figs 9 and 13 described below). In contrast, BIST test data is described only by the number of clock signals used to drive the BIST (For example, see Figs 10 and 14 described below), which is extremely advantageous from the point of view of computing resources or load time of test data output to the testing device. However, as

described above, test data generated using only BIST is lacking in versatility, and to achieve a satisfactory diagnosis rate, huge patterns are necessary. Additionally, an extra circuit and extra test patterns are needed for initialization of internal storage elements.

[0022]

Another problem is that in some cases it is desirable to concretely stipulate certain values to be set or shifted in by means of a special circuit on the (LSI or other) circuit under test, but in existing BISTs, since only pseudo-random numbers generated by the pattern generator are applied, one can't arbitrarily set or shift in values by means of a specific circuit, and fixing values as described above is impossible.

[0023]

Since the present invention was conceived in light of this kind of problem, in addition to allowing for reliable and simple self-tests by preventing reading unknown state data into the data compactor and preventing the content of the data compactor from being destroyed during initialization, combining a scan mode and a BIST mode makes possible production of compact and efficient test data while aiming at offering a BIST circuit with improved efficiency self-tests and reductions in design costs and in computing resources expended during design of LSI or other circuits.

[0024]

(Method of solving problems)

In Fig 1, a schematic block diagram of the first invention, 1 is an internal circuit with set functionality which should self-test. In internal circuit 1, in addition to the multiple pre-formed scan busses 2, a data compactor 4 is built in which compresses and stores the output data of each scan bus 2.

[0025]

Further, 5 are the scan-in pins which supply data to scan busses 2, and 6 are logic gates corresponding to each scan bus 2. Each logic gate 6 performs a logic operation on the output from the respective scan bus 2 and on the input from the scan-in pin 5 that corresponds to said scan bus 2. In the first invention, when unknown state data from scan bus 2 is propagated to data compactor 4 via logic gate 6, the unknown state data is set to a mask value in logic gate 6 (Claim 1).

[0026]

Further, at data read-out from scan busses 2, when the data read-out pattern which encompasses input data from each scan-in pin 5 occurs consecutively as the same kind of pattern, that pattern and a repetition count can be used as a data description (Claim 2).

Also, external input pin 7 is supplied for input of a mode-switch signal for changing between scan mode, corresponding to the scan bus, and self-test mode, which utilizes data compactor 4; the same mode-switch signal from external input pin 7 is connected to logic gate 6. During initialization of internal circuit 1, by switching to scan mode via the mode-switch signal from external input pin 7, output data from each scan bus 2 to data compactor 4 can be masked in logic gate 6 (Claim 3); alternatively, a blocking means

may be supplied to block input of the clock signal to data compactor 4 during initialization of internal circuit 1 (Claim 4).

[0027]

Fig 2 is a schematic block diagram of the second invention. In Fig 2, in the same way as above, 1 is an internal circuit, 2 is a scan bus, and 3 is a pattern generator built into internal circuit 1. Pattern generator 3 generates test patterns that are supplied to scan busses 2. Further, apart from external input pin 7 being provided to input the mode-switch signal which for switching between scan mode relating to scan busses 2 and self-test mode which uses pattern generator 3, scan-in pins 5 and selectors 8 are also provided for each scan bus 2.

[0028]

Here, scan-in pins 5 supply data to scan busses 2, and selectors 8, which are able to pass data to scan busses 2, shift to either the input data from scan-in pins 5, or the test patterns from pattern generator 3, depending on the mode-switch signal from external input pin 7. This way, in the second invention, during normal self-test mode in which selectors 8 are switched by means of the switch-mode signal from external input pin 7 to input from pattern generator 3, when part of the test pattern supplied to scan busses 2 from pattern generator 3 is to be modified arbitrarily, selectors 8 are switched to input from scan-in pins 5 by means of the switch-mode signal from external input pin 7, and data set to arbitrary values is read in from scan-in pins 5 and supplied to scan busses 2. (Claim 5)

[0029]

Moreover, when data is written in to scan busses 2, given a write-in data pattern containing input data from scan-in pins 5 and the mode-switch signal for external input pin 7, if the same pattern form occurs in sequence, it can be described using that pattern and a repetition count (Claim 6). Fig 3 is a schematic block diagram of the third invention. As shown in Fig 3, the third invention is a combination of the previously described first and second inventions. In other words, in the same way as described above, 1 is an internal circuit, 2 are scan busses, 3 is a pattern generator, 4 is a data compactor, 5 are scan-in pins, 6 are logic gates, 7 is an external input pin, and 8 are selectors.

[0030]

In this way, during normal self-test mode, selectors 8 are set by means of the mode-switch signal from external input pin 7 to input from pattern generator 3. Further, when part of the test pattern supplied from pattern generator 3 to scan busses 2 is to be modified to arbitrary values, selectors 8 are switched over to scan-in pins 5 by means of the mode-switch signal from external input pin 7, and data set to arbitrary values is supplied from scan-in pins 5 and written in to scan busses 2.

[0031]

On the other hand, when indeterminate state data from scan busses 2 is read out to data compactor 4 via logic gates 6, this indeterminate state data input to logic gates 6 from scan-in pins 5, each of which correspond to a given scan bus 2, is set to a mask value in logic gates 6. Further, during initialization of internal circuit 1, by means of switching

the mode-switch signal from external input pin 7 to scan mode, data output from scan busses 2 to data compactor 4 is masked in logic gates 6. (Claim 7)

[0032]

Further, during data read-out from scan busses 2, given a read-out data pattern containing input data from scan-in pins 5, given a write-in data pattern containing input data from scan busses 5 and a mode-switch signal from external input pins 7, if the same pattern form occurs in sequence, it can be described using that pattern and a repetition count. (Claim 8)

[0033]

Further, a blocking means can be provided for blocking input of the clock signal to data compactor 4 during initialization of internal circuit 1 (Claim 10). Further, a scan chain consisting of pattern generator 3 and data compactor 4 can be formed as one chain in a boundary scan, and command codes for specifying both the shift-in / shift-out mode and self-test mode can be assigned in advance as command register mode codes.

[0034]

(Operation of the Invention)

In the BIST circuit of the first invention described above, by suitably setting the state of external input pin 7, when unknown state data is read out from a scan bus 2, the unknown state data can be masked by logic gate 6, and the compressed data in data compactor 4 is prevented from assuming undefined values. (Claim 1)

[0035]

Further, when patterns for data read-out from scan busses 2 occur as the same kind of pattern in sequence, that pattern and a repetition count can be used as a compact data description (Claim 2). Further, by supplying the mode-switch signal from external input pin 7 to logic gate 6, during initialization of internal storage components etc in internal circuit 1, by means of changing the mode-switch signal from external input pin 7 to scan mode, output data from scan busses 2 to data compactor 4 is masked in logic circuit 6, and the initial values of data compactor 4 can be preserved, and during the initialization of internal circuit 1, the contents of data compactor 4 can be prevented from being destroyed (Claim 3).

[0036]

In addition, during initialization of internal circuit 1, by blocking input of the clock signal to data compactor 4 with a blocking means and thereby stopping propagation of the clock signal to data compactor 4, the contents of data compactor 4 can be preserved, and the destruction of data compactor 4 contents can thus be prevented during initialization of internal circuit 1 (Claim 4). In the above-described BIST circuit of the second invention, when switching selectors 8 are set to the input from the pattern generator by means of a mode-switch signal from external input pin 7, self-tests are carried out, but during this self-testing, if selectors 8 are switched back to scan-in pins 5 by means of a mode-switch signal from external input pin 7, arbitrarily determined values are fed into scan busses 2 from scan-in-pins 5. Thus, a part of test patterns relayed from pattern generator 3 to each scan bus 2 can be modified to arbitrary values (Claim 5).

[0037]

Moreover, when pattern data to be written to scan busses 2 successively forms the same type of pattern, it can be described compactly using that pattern and a repetition index (Claim 6). In the above-described BIST circuit of the third invention, when switching selectors 8 are set to the input from the pattern generator by means of a mode-switch signal from external input pin 7, self-tests are carried out, but during this self-testing, if selectors 8 are switched back to scan-in pins 5 by means of a mode-switch signal from external input pin 7, arbitrarily determined values are fed into scan busses 2 from scan-in pins 5. Thus, a part of test patterns relayed from pattern generator 3 to each scan bus 2 can be modified to arbitrary values.

[0038]

On the other hand, by appropriately setting the state variable of scan-in pin 5 during self-test mode, unknown state data read in from scan bus 2 can be masked at logic gates 6, and compressed data in data compactor 4 can be prevented from assuming unknown states. Moreover, during initialization of internal memory storage and other components of internal circuit 1, by changing the mode-switch signal from external input pin 7 to scan mode, the output data from scan busses 2 to data compactor 4 is masked in logic gate 6, and the initial values of data compactor 4 can be preserved and the destruction of data compactor 4 contents can be prevented during initialization of internal circuit 1 (Claim 7).

[0039]

Furthermore, when patterns for data read-out from scan busses 2 and patterns for data output to scan busses 2 of the same kind occur in sequence, that pattern and its repetition index can be used as a compact data description (Claims 8, 9). In addition, during initialization of internal circuit 1, by blocking input of the clock signal to data compactor 4 with a blocking signal and thereby stopping propagation of the clock signal to data compactor 4, the contents of data compactor 4 can be preserved, and the destruction of data compactor 4 contents can thus be prevented during initialization of internal circuit 1 (Claim 10).

[0040]

Further, by having a scan chain comprising pattern generator 3 and data compactor 4 as one chain in a boundary scan, and by means of a design in which an instruction code for signaling shift-in / shift-out and BIST modes of that scan chain is designated in advance as an instruction register mode code, the present invention can be applied in a boundary scan circuit (Claim 11).

[0041]

[Preferred embodiments]

Below, some preferred embodiments of the present invention are explained with reference to the diagrams. Fig. 4 is a block diagram showing the composition of a BIST which is a preferred embodiment of the present invention. In Fig 4, circuit 10 is the LSI (or other) circuit of the present preferred embodiment, and 11, being an internal circuit of set functionality in circuit 10, is composed of multiple circuit components like flip-flops.

[0042]

Further, in order to make possible self-testing of internal circuit 11, multiple (in the diagram, three) scan busses 12A-12C are pre-formed on circuit 10, and each scan bus 12A-12C connects multiple (in the diagram, five) flip-flops 101 in a chain configuration. Also on circuit 10, in addition to supplying as external input pins scan-in pins (SI pins) 15A-15B for sending test data (test patterns) to each scan bus 12A-12C, scan-out-pins (SO pins) 19A-19C for shifting out output data from each scan bus 12A-12C and a scan-clock pin (SCK pin) 20 which inputs the clock signal for driving circuit 10, a BE (BIST Enable) pin 17 is also supplied as an external input pin to input the mode-switch signal for performing the switch between a scan bus 12A-12C scanning mode and a self-test (BIST) mode. Furthermore, the clock signal input from SCK pin 20 is input into the clock terminal of every flip flop 101 on circuit 10.

[0043]

Additionally, 13 is the LFSR (pattern generator) built into circuit 10 that produces test patterns to be input into each scan bus 12A-12C, and 14 is the MISR (data compactor) built into circuit 10 that compresses and stores the output data of each scan bus 12A-12C. Here, LFSR 13 and MISR 14 comprise multiple shift registers 22 with feedback via multiple XOR gates 21, as shown in Figs 5 and 6. The clock signal from SCK pin 20 drives shift registers 22 to perform shifts. Also, as shown in Fig 4, LFSR 13 is connected to scan-in pin (SI pin) 15, and MISR 14 is connected to scan-out pin (SO pin) 19 [sic: in Fig 6, SO pins are 16].

[0044]

Meanwhile, as shown in Figs 4 and 5, the output lines of each scan bus 12A-12C are connected to SO pins 19A-19C, and also to XOR gates 21 in MISR 14 via their respective AND gates 16A-16C. Each AND gate 16A-16C receives as input the output of its respective scan bus 12A-12C, the input signal from the SI pin 15A-15C of that bus 12A-12C, and the mode-switch signal from BE pin 17 (which is set to “0” during scan mode and to “1” during self-test mode). The logical conjunction of these is input into XOR gates 21 in MISR 14.

[0045]

Also, as shown in Figs 4 and 6, the input line of each scan bus 12A-12C is connected to SI pins 15A-15C via their respective selectors 18A-18C, and also to LFSR 13. In response to the mode-switch signal, selectors 18A-18C switch the input of scan busses 12A-12C either to SI pins 15A-15C, or to the LFSR 13 test patterns. In short, when the mode-switch signal from BE pin 17 is set to scan mode, each selector 18A-18C routes [data from] each SI pin 15A-15C into its respective scan bus 12A-12C, but when it is set to BIST mode, the test patterns from LFSR 13 are fed into the scan busses.

[0046]

In the BIST circuit of the present invention, by means of the above design, by setting the mode-switch signal of BE pin 17 to off (“0”), in addition to selectors 18A-18C switching

to the SI pins 15A-15C, the output from each AND gate 16A-16C to MISR 14 is set to "0," and the scan operation is carried out in scan busses 12A-12C of circuit 10.

[0047]

In other words, during scan mode, flip-flops 101 on each scan bus 12A-12C act as shift registers, and driven by the clock signal supplied by SCK pin 20, the values assigned to each SI pin 15A-15C are shifted via selectors 18A-18C in order into the following flip-flop 101 of each scan bus 12A-12C. At the same time, the values of flip-flops 101 on each scan bus 12A-12C are shifted out in order into the respective SO pin 19A-19C.

[0048]

On the other hand, by setting the mode-switch signal of BE pin 17 to on ("1"), the BIST operation is carried out for each scan bus 12A-12C on circuit 10, where in addition to each selector 18A-18C switching to LFSR 13, the output from each AND gate 16A-16C to MISR 14 is the logical conjunction of the output data from the scan bus 12A-12C and the input data from the SI pin 15A-15C corresponding to each scan bus 12A-12C.

[0049]

In other words, during BIST mode, LFSR 13 generates pseudo-random numbers which are fed through flip-flops 101 on scan busses 12A-12C. Flipflops 101 on scan busses 12A-12C work as shift registers. Driven by the clock signal supplied via SCK pin 20, the values fed into scan busses 12A-12C are shifted in order into the following flipflip 101 via selectors 18A-18C.

[0050]

Also, at the same time, the values of flip-flops 101 on each scan bus 12A-12C (output data) are shifted out in order, and once the logical conjunction of [said values] and of the input data from SI pins 15A-15C corresponding to each scan bus 12A-12C is computed by AND gates 16a-16C, it is compressed and stored in MISR 14. Finally, by reading out the data compressed and stored in MISR 14 from SO pin 19, a fault analysis of LSI circuit 10 can be carried out.

[0051]

At this time, in typical ATPG (Automatic Test Pattern Generation) system, it is not necessary to initialize all internal memory, and in some cases unknown states may appear in the output data from scan busses 12A-12C. As shown in Fig 5, MISR 14 is composed of feedback shift registers 22, and output data from each scan bus 12A-12C passes through XOR gates 21 and is compressed in shift registers 22 in MISR 14. However, as mentioned above, when an unknown state appears in the output data from scan busses 12A-12C, since XOR gates 21 are used, the unknown state is read into shift registers 22 without modification, and moreover, because of the feedback loop present, once one shift register 22 is of unknown state, all shift registers 22 will end up in unknown state.

[0052]

At this point, in BIST mode of the present preferred embodiment as shown in Figs 4 and 5, the output data from each scan bus 12A-12C is not fed directly into MISR 14: By

means of AND gates 16A-16C, the logical conjunction is computed of the output data from each scan bus 12A-12C and the input data from the SI pin 15A-15C corresponding to each scan bus 12A-12C, and only then output to MISR 14.

[0053]

In other words, in the present preferred embodiment, when output data from scan busses 12A-12C is of unknown state, by setting values (input data) from the SI pin 15A-15C corresponding to each scan bus 12A-12C to "0," the value output to MISR 14 from the corresponding AND gate 16A-16C is also set to "0," so any unknown state data from scan busses 12A-12C output to MISR 14 is masked by AND gates 16A-16C.

[0054]

In this way, by appropriately setting the state values of SI pins 15A-15C, when unknown state data is read out from scan bus 12A-12C, that undefined state data can be masked by AND gates 16A-16C, and the compressed data in MISR 14 is reliably prevented from assuming unknown values. As a concrete example, given the scan-out data shown in Fig 8, an example will be explained of the construction of a test pattern according to the present invention in which unknown state data (in Fig 8 "U (Unknown)") is not read into MISR 14.

[0055]

Figs 9 through 11 all show examples of read-out pattern descriptions (test data) that refer to the scan-out data shown in Fig 8 and are based on the scan circuit shown in Fig 17, the

BIST circuit shown in Fig 18, and the circuit of the present preferred embodiment shown in Fig 4 (Fig 5). In Figs 9 through 11, "N" refers to a negative pulse clock signal input from the SCK pin, and "X," as data output from the SO pin, signifies output not of unknown state, i.e. "1" or "0."

[0056]

In the scan circuit, as many pattern descriptors are required as there are flipflops to be scanned, so for the scan-out data in Fig 8, the test data description requires 12 lines, as shown in Fig 9. Because the number of flip flops on one scan bus on a large scale LSI circuit [sic] is extremely large, its test data becomes enormous.

[0057]

As shown in Fig 10, by using the repetition tags REPEAT (begin repeat) and REPEND (end repeat) in a BIST circuit, the scan-out data shown in Fig 8 can be described in 3 lines of test data. Moreover, the pattern enclosed by the repeat markers REPEAT and REPEND is only repeated the number of times designated after the repetition tag REPEAT. However, as described above, when processing the scan-out data shown in Fig 8 with this kind of data description, the unknown value "U" is read into MISR 14 and [this data description] can't be used as test data.

[0058]

In contrast, in the circuit of the present preferred embodiment, as shown in Fig 11, by utilizing the previously discussed repetition tags, a test data description corresponding to

the scan out data shown in Fig 8 is possible in seven rows, smaller than that of the scan circuit [test data description] shown in Fig 9. In reality, some pattern for external output in MISR 14 of the compressed data is necessary, but compared with the scan-out pattern (of several to several thousand flip-flops), [the size of this scan-out pattern] is negligible.

[0059]

In the scan-out data shown in Fig 8, because the fifth value output from scan busses 12A-12C is undefined value "U," in the fifth pattern, by setting the state value of the corresponding SI pin 15A-15C to "0," the value from AND gates 16A-16C to MISR 14 is "0," and the undefined value "U" from scan bus 12A-12C is masked by the corresponding AND gate 16A-16C. Because no values except the fifth are undefined, each state variable of SI pins 15A-15C is set to "1," and the output data of scan bus 12A-12C is input to MISR 14. Then, as shown in Fig 11, the identical patterns (1st – 4th and 6th – 12th values) can be grouped together using the repetition tags.

[0060]

Summarily, as described above with reference to Fig 6, LFSR 13 is composed of feedback shift registers 22. Their output (the test pattern) and the input data from each external SI pin 15A-15C are input to scan busses 12A-12C via selectors 18A-18C. When BE pin 17 is set to off ("0"), the values from each SI pin 15A-15C are selected by selectors 18A-18C and are shifted into scan busses 12A-12C. When BE pin 17 is set to on ("1"), the output of LFSR 13 is selected by selectors 18A-18C and shifted into scan busses 12A-12C.

[0061]

Normally BE pin 17 is set to "1" and output from LFSR 13 is shifted in, but when one wants to clip a certain flip-flop on scan busses 12A-12C, or set that flip-flop to a particular value, BE pin 17 is set to off "0," and the desired data can be shifted into each SI pin 15A-15C.

[0062]

In ATPG, test patterns are created for detecting certain kinds of faults found in internal LSI circuits test. Practically, in order to detect these faults, there is little external input that needs to be set, there are few flip-flops that are the object of scans; the rest may be straightforwardly set to the pseudorandom numbers generated on the BIST circuit. Using the circuits shown in Figs 4 and 6, by appropriately switching between scan mode and BIST mode, this kind of test pattern can be produced. Further, by means of the previously described repetition tags, because BIST mode test data description is small, the entire test data volume can be greatly reduced.

[0063]

Here, as a concrete example, an example of the generation of test patterns in which scan-in data like that shown in Fig 12 is set to the flip-flops on the scan busses will be explained. Further, in Fig 12, "D1" and "D0" are values determined by ATPG and are set to either "0" or "1." However, the other spaces shown as "0"s and "1"s may be straightforwardly replaced with random numbers.

[0064]

Further, Figs 13 – 15 each show examples of data descriptions of data write-in patterns corresponding to the scan-in data shown in Fig 12, and based on the scan circuit shown in Fig 17, the BIST circuit shown in Fig 18 and the preferred present embodiment circuit shown in Fig 4 (Fig 6). As shown in Fig 13, because the same number of pattern descriptions are needed as there are flip-flops on the scan circuit to be scanned, the test data for the scan-in data shown in Fig 12 takes up 12 rows. In this case, by writing in the data in order, specific values “D0(0)” and “D1(1)” can be set for specific flip-flops, but in large scale LSI chips, because the number of flip-flops on one scan bus is extremely large, its test data becomes tremendously large.

[0065]

As shown in Fig 14, in a BIST circuit, by means of using the repetition tags (REPEAT and REPEND), the test data corresponding to the scan-in data shown in Fig 12 can be described in 3 rows. The function of repetition tags “REPEAT” and “REPEND” is the same as previously described for Fig 10. However, in this kind of data description, as shown in Fig 12, setting specific values “D0(0)” and “D1(1)” to specific flip-flops is not possible and because only pseudo-random numbers generated by LFSR 13 are set, and the sought-for faults may not be able to be found.

[0066]

In contrast, in the circuit of the present invention as shown in Fig 15, by means of the above-described repetition tags, a test data description of the scan data shown in Fig 12 is

possible with 8 rows, fewer than the case of the scan circuit shown in Fig 13. In the scan-in data shown in Fig 12, because the data of the 4th flip-flop must be forced to 0 and the 5th to 1, when the 4th and 5th data items are shifted in, BE pin 17 is set to OFF “0,” and selectors 18A – 18C are switched to data from SI pins 15A – 15C. The values “1” or “0” set by SI pins 15A – 15C are then shifted into scan busses 12A – 12C in order.

[0067]

Because random values can be shifted into the other spaces, BE pin 17 is normally set to ON “1” and selectors 18A – 18C are switched to LFSR 13, the output values from which (pseudorandom numbers) are shifted into scan busses 12A – 12C. Then, identical patterns (1st – 3rd, 6th – 12th) can be grouped together using the repetition tags, as shown in Fig 15.

[0068]

In this way, during BIST mode, selectors 18A – 18C are switched to SI pins 15A – 15C by means of the mode-switch signal from BE pin 17, and by means of supplying the arbitrarily set data from SI pins 15A – 15C and writing it into scan busses 12A – 12C, a part of the test pattern supplied from LFSR 13 to scan busses 12A – 12C can be modified to an arbitrary value.

[0069]

On the other hand, because some internal memory elements of the LSI internal memory elements [sic] in internal circuit 11 of (LSI) circuit 10 are of indefinite state at power-up,

internal memory element state initialization is carried out before BIST testing. At that time, in MISR 14, at every clock signal shift register 22 carried out a shift and its contents are updated; the update is carried out even when the patterns for the initialization of internal memory elements are being applied. This problem must be dealt with, and as described above, an ATPG program has to monitor the content of MISR 14, which is a vexatious process.

[0070]

At this point, in the present invention, as shown in Figs 4 and 5, BE pin 17 together with SI pins 15A – 15C and the output data from scan busses 12A – 12C is input to AND gates 16AC, and the logical product of these is output to shift registers 22 of MISR 14. In this way, if all shift registers 22 of MISR 14 are initialized to “0,” either by setting the mode-switch signal to BE pin 17 to OFF “0,” or by setting all the input data to SI pins 15A – 15C to “0,” the contents of all shift registers 22 in MISR 14 can be kept at “0”.

[0071]

When in system mode as a normal circuit 10 or in scan mode, because mode-switch signal input to BE pin 17 is set to OFF “0,” the contents of shift registers 22 of MISR 14 are kept at “0.” Further, even in BIST mode, by setting to “0” all data input from unused SI pins 15A – 15C, the contents of shift registers 22 in MISR 14 are kept to “0”.

[0072]

Further, during initialization preceding BIST testing, by keeping the mode-switch signal to BE pin 17 to OFF "0", the contents of shift registers 22 in MISR 14 are kept at "0."

Consequently, particularly during pre-BIST mode initialization, data output from scan busses 12A – 12C to MISR 14 is masked in AND gates 16AC, and so the initial values of MISR 14 can be preserved, and MISR 14 contents are reliably prevented from being destroyed.

[0073]

Further, in Fig 7 is shown an example of another means for preserving the contents of shift registers 22 of MISR 22 during initialization of (internal memory elements of) internal circuit 11. In Figs 4 and 5, the mode-switch signal from BE pin 17 was input to AND gates 16AC, but in Fig 7, by means of providing a clock-signal stopping module (a blocking means) 25, content protection of shift registers 22 in MISR 14 can be attained during initialization.

[0074]

Namely, the clock-signal stopping module shown in Fig 7 comprises an inhibit pin (IH pin) 23 and an OR gate 24. Because IH pin 23 is provided as an external input pin to circuit 10, when the clock signal from SCK pin 20 is applied to shift registers 22 in MISR 14 is stopped, the clock-stop signal input to IH pin 23 is switched from OFF "0" to ON "1".

[0075]

Further OR gate 24 computes the logical sum of the clock signal from SCK pin 20 (which is provided as a negative pulse) and the clock-stop signal from IH pin 23 and applies the result to shift register 22 in MISR 14. In this way, independent of the contents of shift register 22 in MISR 14, by setting the clock-stop signal from IH pins 23 to ON "1", the clock signal from SCK pin 20 will not be applied to shift registers 22 in MISR 14.

[0076]

In consequence, updates (shifting) in shift registers 22 will not be carried out, and all values in shift registers 22 can be preserved from changes; also, by means of an arrangement like that shown in Fig 7, during pre-BIST initialization, destruction of the contents of MISR 14 can be reliably prevented. However, in the circuit arrangement shown in Fig 7, compared with inputting the mode-switching signal from BE pin 17 to AND gates 16AC, one extra external input pin (IH pin 23) is necessary, this arrangement has the advantage of allowing preservation of any designated values in MISR 14.

[0077]

Incidentally, in the examples described above using Figs 4 – 15, the present invention was explained as applicable to a general scanning method. However, as shown in Fig 16, it is also applicable to the boundary scan method. In the boundary scan method, a boundary scan cell is positioned between the on-circuit external input pins and the internal circuit; all of these are connected and they form a boundary scan chain that extends from the test-data-in pin (TDI pin) to the test-data-out pin (TDO pin). Each boundary scan cell in this boundary scan chain is controllable and observable.

[0078]

In Fig 16, 30 is a boundary scan LSI circuit, and on this boundary scan LSI chip 30 are formed the above described boundary scan chain 31A and two internal boundary scan chains 31B and 31C. Next, in boundary scan LSI circuit 30, as shown in Fig 16, these scan chains (scan busses) 31A – 31C replace scan busses 12A – 12C shown in Figs 4 – 7. However, in boundary scan LSI circuit 30 shown in Fig 16, in addition to providing TDI pin 32 to replace SI pin 15A, TDO pin 33 is provided to replace SO pin 19A. Further, in Fig 16, LFSR 13, MISR 14, AND gates 16AC, BE pin 17 and selectors 18A – 18C function in precisely the same way as previously described for Figs 4 – 7.

[0079]

Further, in Fig 16, 34 is a test-clock pin (TCK pin) that inputs a test-clock signal for boundary scanning, 35 is a test-mode-select pin (TMS in) that inputs a selection signal for selecting a boundary scanning test mode, and 36 is a test access port (TAP) circuit which functions according to the selection signal from TMS pin 35 and is synchronized to the test-clock signal from TCK pin 34. TAP circuit 36 is for accessing each test module on boundary scan LSI chip 30 and controlling the boundary scanning.

[0080]

Furthermore, 37 is a bypass register for bypassing boundary scan circuit 31A between TDI pin 32 and TDO pin 33, 38 is a command register for holding a command code corresponding to each control signal from the TAP circuit, and 39 is a multiplexer.

Multiplexer 39 behaves in accordance with the command code from command register 38 and multiplexes scan-out data from boundary scan circuit 31A and MISR 14 and data from bypass register 37, outputting it to TDO pin 33.

[0081]

Further, the following structural components are general to the boundary scan method: boundary scan chain 31A, TDI pin 32, TDO pin 33, TCK pin 34, TMS pin 35, TAP circuit 36, bypass register 37, command register 38, and multiplexer 39. In the boundary scan method, a command register 38 mode code must be assigned to each kind of test mode. The command code for specifying BIST mode is assigned in advance as a unique command register 38 mode code, and when this code is applied, the BIST circuit (LFSR 13, MISR 14 etc) is activated by applying the test-clock signal from TCK pin 34,.

[0082]

Further, the scan chain consisting of LFSR 13 and MISR 14 is treated as one boundary scan chain, and the command code for specifying scan chain shift-in / shift-out mode is assigned in advance as a unique command register 38 mode code. In the boundary scan LSI chip arrangement described above, test data construction is shown below:

[0083]

- (1) Initialization of TAP circuit 36
- (2) Selection of LFSR 13 / MISR 14 (setting command code)
- (3) Initialization of LFSR 13 / MISR 14

(4) Selection of BIST circuit (setting command code)

(5) BIST circuit functioning (shifting from LFSR 13 into boundary scan circuit 31A / internal scan chains 31B and 31C)

[0084]

(6) Application of system clock (test-clock) signal

(7) BIST circuit functioning (data compression from boundary scan circuit 31A / internal scan chains 31B and 31C to MISR 14)

(8) Selection of LFSR 14 / MISR 14 (setting command code)

(9) Data read-out from MISR 14

[0085]

Further, in the above items 5 and 7, in which BIST circuit functioning is performed, the test data is described in the same way as shown in Figs 11 and 15. For the present invention as a circuit (LSI 30) using the boundary scan method as described above, efficient test patterns can be produced with few test data descriptions in the same way as was done for LSI circuits using general scanning.

[0086]

Thus, by means of the present preferred embodiment of the present invention, reading into MISR 14 of indeterminate state data and destruction of MISR 14 contents during initialization are prevented, and BIST testing can be easily and reliably carried out.

Further, by combining scan and BIST modes and by adding a few gates (AND gates 16A

– 16C etc), it is possible to generate extremely compact, efficient and versatile test data, which has the advantages of increasing BIST testing efficiency and greatly reducing computing resources and design costs during circuit design of LSI or other chips.

[0087]

Conventionally, LFSR 13 output patterns were applied without modification to an internal circuit, but in the present preferred embodiment, as described above, by means of combining scan and BIST modes and switching between LFSR 13 output data and input data from SI pins 15A – 15C etc with selectors 18A – 18C, values applied to a specific circuit in internal circuit 11 can be arbitrarily modified.

[0088]

In the above-described preferred embodiment, the specific case of using MISR 14 as a data compactor for LSI (circuits 10, 30) expected-output analysis by means of BIST was explained. However, the present invention, not limited to that case, can also be applied to analysis methods other than MISR, for example 1) Transition Count Method (which analyzes the number of transitions from “1” to “0” and from “0” to “1”), or 2) Syndrome Method (1’s counting: method analyzing the number of “1”’s appearing in the output).

[0089]

[Effect of the invention]

As described in detail above, by means of the BIST circuit of the present invention, when unknown state data is scanned into the data compactor, the compressed data in the data

compactor is reliably prevented from assuming unknown states, and self-tests can be reliably carried out (Claims 1, 7).

[0090]

Further, during internal circuit initialization, data in the data compactor can be preserved, the contents of data compactor can be reliably prevented from being destroyed, and there's no need for vexatious monitoring of data compactor contents, so that self-tests can be carried out simply (Claims 3, 4, 7, 10). Moreover, by combining a scan mode and a self-test mode, apart from being able to change parts of the test pattern from pattern generator 3 fed to each scan bus 2 to arbitrary values (Claims 5, 7), compact, efficient and versatile data can be created (Claims 2, 6, 8, 9), so that self-tests become more efficient, and computer resources and design costs can be greatly reduced during design of LSI and other circuits.

[0091]

Moreover, in addition, [the invention] can also be adapted to circuits using the boundary scan method, and in this case, too, the same effects as described above can be obtained (Claim 11).

【圖 16】

Block diagram showing an example in which the present invention of adapted to an LSI using the boundary scan method

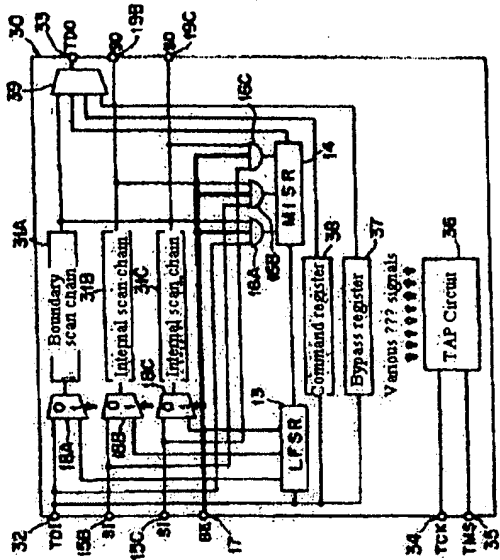
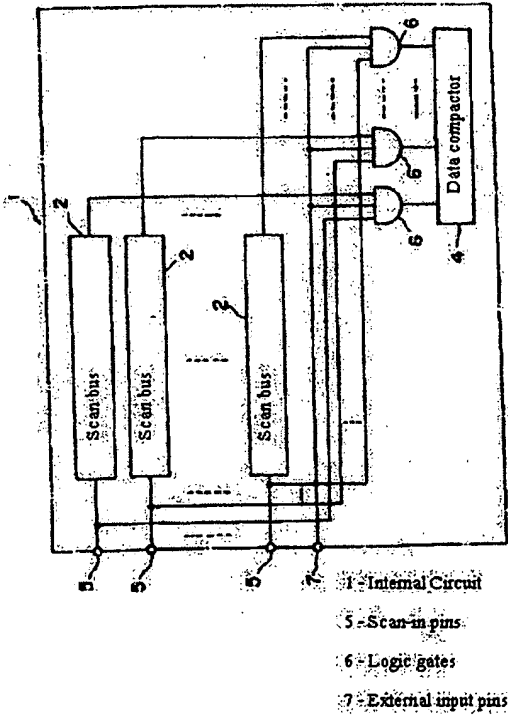


Fig 1

Schematic block diagram of 1st invention



【附 18】

Block diagram showing a conventional BIST-type circuit

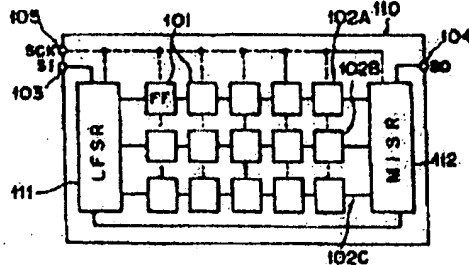
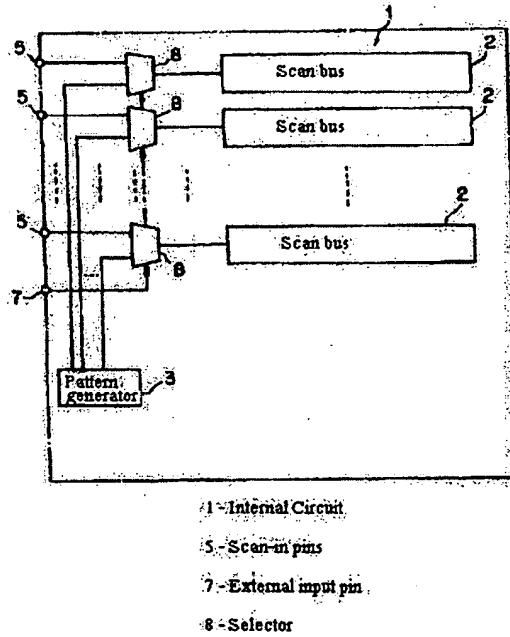


Fig 2

Schematic block diagram of 2nd invention



1 - Internal Circuit

5 - Scan-in pins

7 - External input pin.

8-Selector

Block diagram showing an example of the clock-stopping circuit (blocking means) of the present preferred embodiment and the parts related to said circuit.

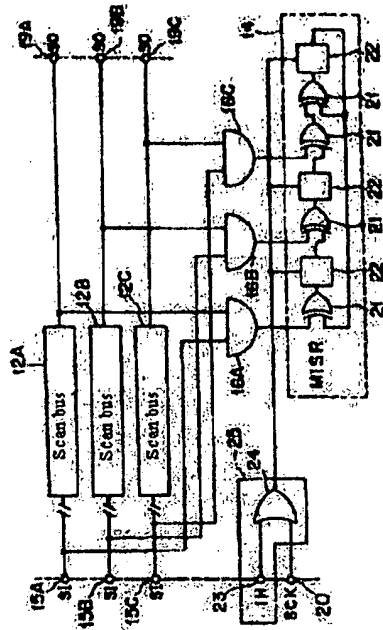


Diagram showing an example of scan-out data



Diagram showing an example of a data read-out
pattern of the present preferred embodiment

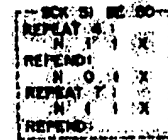


Diagram showing an example of data write-out pattern of the present preferred embodiment.

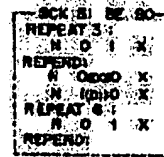


Fig 9

Diagram showing example of a data read-out pattern based on a conventional scan circuit

SCN	SI	SO
N	0	0
N	0	1
N	0	0
N	0	0
N	0	0
N	0	1
N	0	0
N	0	1
N	0	0
N	0	0
N	0	1

Fig 10

Diagram showing example of a data read-out pattern based on a conventional BIST-type circuit

SCN	SI	SO
REPEAT 12:		
N	0	X
REPEAT 1:		

Fig 12

Diagram showing an example of scan-in data



Fig 13

Diagram showing an example of data write-out pattern based on a conventional scan circuit

SCN	SI	SO
N	0	X
N	1	X
N	0	X
N	0	X
N	0	X
N	1	X
N	1	X
N	0	X
N	1	X
N	0	X
N	0	X
N	1	X

Fig 14

Diagram showing an example of data write-out pattern based on a conventional BIST-type circuit

SCN	SI	SO
REPEAT 12:		
N	0	X
REPEAT 1:		

Fig 17

Block diagram showing an example of the structure of a conventional scan circuit

